

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-244287

(P2000-244287A)

(43)公開日 平成12年9月8日(2000.9.8)

(51)Int.Cl.

H 0 3 K 3/356

識別記号

F I

H 0 3 K 3/356

テ-マ-ト(参考)

E

審査請求 未請求 請求項の数21 O L (全 30 頁)

(21)出願番号 特願平11-43093

(22)出願日 平成11年2月22日(1999.2.22)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 大石 司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100064746

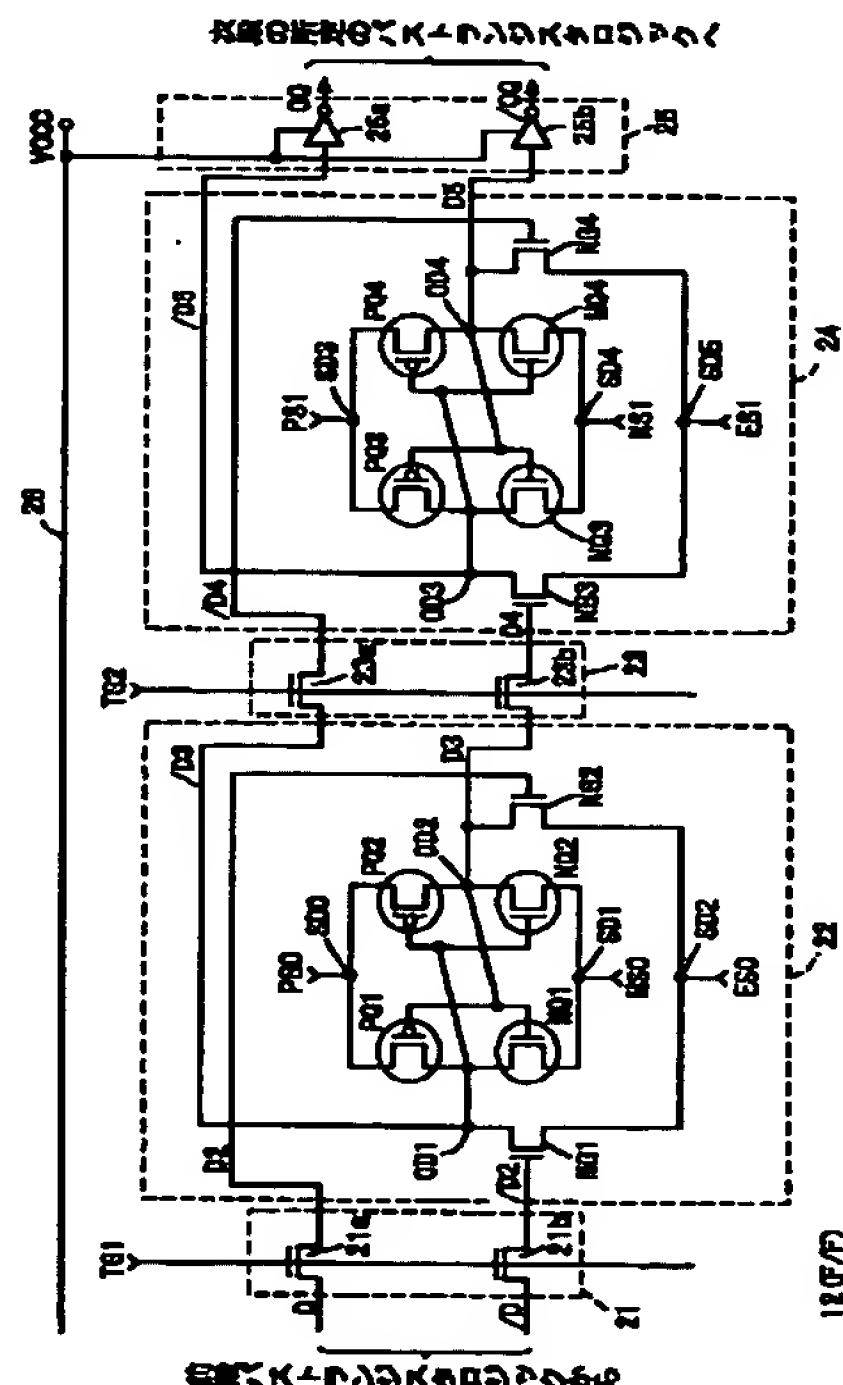
弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体回路装置

(57)【要約】

【課題】 低電源電圧下においても低消費電流で高速で正確に動作する論理回路を提供する。

【解決手段】 論理処理部をバストランジスタロジック(12a-12c)で構成し、このバストランジスタロジックの出力信号をMOSTランジスタ(NG1, NG2)のゲートに与えて差動的に増幅しかつラッチする。このラッチ段をマスタスレーブラッチ回路(22, 24)で構成し、スリープモードまたはパワーダウンモード時には、マスタラッチ回路の電源の供給を遮断し、スレーブラッチ回路においてのみその電源電圧の電圧レベルを高くしてリーク電流を低減しつつ情報信号を保持する。



## 【特許請求の範囲】

【請求項1】 与えられた信号を通過させるバストランジスタで構成され、入力信号に所定の論理処理を施して出力するバストランジスタロジック、および高入力インピーダンスを有し、前記バストランジスタロジックの出力信号を受けて増幅する増幅段と、前記増幅段に結合され、前記増幅段の出力信号をラッチするためのラッチ段とを有する第1のラッチ回路を含む、半導体回路装置。

【請求項2】 前記バストランジスタロジックの出力信号は、互いに相補な信号の対を含み、前記増幅段は、前記相補信号対を差動増幅する差動増幅段を備える、請求項1記載の半導体回路装置。

【請求項3】 前記バストランジスタロジックと前記第1のラッチ回路との間に設けられ、第1のクロック信号に応答して前記バストランジスタロジックの出力信号を前記増幅段へ伝達するための第1のトランスファゲートとをさらに備える、請求項1または2に記載の半導体回路装置。

【請求項4】 前記第1のラッチ回路の出力信号をラッチするための第2のラッチ回路と、前記第1および第2のラッチ回路の間に設けられ、前記第1のトランスファゲートと相補的に導通して前記第1のラッチ回路の出力信号を前記第2のラッチ回路へ伝達するための第2のトランスファゲートとをさらに備える、請求項3記載の半導体回路装置。

【請求項5】 前記第2のラッチ回路は、高入力インピーダンスを有し、前記第1のラッチ回路の出力信号を増幅するための増幅段と、前記増幅段に結合され、前記増幅段の出力信号をラッチするためのラッチ段とを備える、請求項4記載の半導体回路装置。

【請求項6】 特定動作モード時、前記第1のラッチ回路への動作電源電圧の供給を停止させるための電源制御回路をさらに備える、請求項1記載の半導体回路装置。

【請求項7】 前記第1のラッチ回路は互いに相補な信号を出力し、前記第2のラッチ回路は、出力ノード対の各々と第1の電源ノードとの間に結合され、前記第1のラッチ回路からの相補信号をそれぞれのゲートに受ける差動絶縁ゲート型電界効果トランジスタ対と、

第2および第3の電源ノード上の電圧を両動作電源電圧として受けて動作し、前記出力ノード対の電圧をラッチするためのインバータラッチを備え、前記インバータラッチは入力と出力とが交差結合されるインバータ対を含む、請求項4記載の半導体回路装置。

【請求項8】 特定動作モード時、前記第1のラッチ回路への動作電源電圧の供給を停止し、かつ前記第2のラッチ回路へ供給される前記第1ないし第3の電源ノード上の電圧を上昇させる電源制御回路をさらに備える、請

求項7記載の半導体回路装置。

【請求項9】 前記電源制御回路は、前記特定動作モード時、前記第1の電源ノードの電圧を前記第2および第3の電源ノードの電圧の間の電圧レベルに設定する手段を含む、請求項8記載の半導体回路装置。

【請求項10】 前記第2のラッチ回路の出力信号を次段回路へ伝達するためのドライブ回路をさらに備え、前記電源制御回路は、前記特定動作モード時前記ドライブ回路への電源電圧の供給を停止する手段を含む、請求項8記載の半導体回路装置。

【請求項11】 前記第1および第2のラッチ回路には別々に電源が設けられ、かつ前記別々の電源は、他回路の電源とは別に設けられる、請求項4記載の半導体回路装置。

【請求項12】 前記第1のラッチ回路は、前記第1のクロック信号と相補な第2のクロック信号に応答して活性化されて、増幅およびラッチ動作を行なうダイナミック型ラッチ回路を備える、請求項3記載の半導体回路装置。

【請求項13】 前記バストランジスタロジックは、互いに相補な信号を出力し、前記第1のラッチ回路は、出力ノード対と第1の電源ノードとの間に結合され、前記バストランジスタロジックから出力される相補信号対をそれぞれのゲートに受ける差動絶縁ゲート型電界効果トランジスタ対と、

前記第1のクロック信号に対応する制御クロック信号に応答して、前記出力ノード対を電氣的に短絡するイコライズ絶縁ゲート型電界効果トランジスタ対と、前記出力ノード対と内部電源ノードとの間に交差結合されるセンス絶縁ゲート型電界効果トランジスタ対とを含む、請求項3記載の半導体回路装置。

【請求項14】 前記第1のラッチ回路は、さらに、前記制御クロック信号に応答して前記イコライズ絶縁ゲート型電界効果トランジスタ対の導通時、前記内部電源ノードへの電源電圧の供給を停止する電源絶縁ゲート型電界効果トランジスタをさらに備える、請求項13記載の半導体回路装置。

【請求項15】 前記第1のクロック信号と相補な第2のクロック信号に応答して導通し、前記第1のラッチ回路の出力信号を伝達する第2のトランスファゲートと、前記第2のクロック信号に応答して前記第2のトランスファゲートの非導通時活性化され、前記第2のトランスファゲートを介して与えられる信号を増幅してラッチする第2のラッチ回路とをさらに備える、請求項13記載の半導体回路。

【請求項16】 前記第1のラッチ回路は、互いに相補な信号を出力し、前記第2のラッチ回路は、出力ノード対と第1の電源との間に接続され、前記第1

のラッチ回路からの相補信号をそれぞれのゲートに受ける増幅絶縁ゲート型電界効果トランジスタ対と、前記出力ノード対に結合され、前記出力ノード対の電圧をラッチするラッチ段と、前記第2のクロック信号に応答して前記出力ノード対を電氣的に短絡するイコライズトランジスタと、前記第2のクロック信号に応答して、前記ラッチ段へ電源電圧を供給するための電源トランジスタとを備える、請求項15記載の半導体回路装置。

【請求項17】 前記バストランジスタロジックは、互いに相補な信号を出力し、前記第1のラッチ回路は、出力ノード対と第1の電源ノードの間に結合され、前記バストランジスタロジックの出力する相補信号をそれぞれのゲートに受ける増幅絶縁ゲート型電界効果トランジスタ対と、前記第1のクロック信号に応答して導通し、前記出力ノード対と前記増幅絶縁ゲート型電界効果トランジスタ対のゲートとを交差的に結合するためのプルアップトランジスタと、前記出力ノード対の電圧をラッチするためのラッチ段と、前記第1のクロック信号に応答して前記プルアップトランジスタの非導通時前記ラッチ段への電源供給を遮断するための電源トランジスタとを含む、請求項3記載の半導体回路装置。

【請求項18】 前記第1の電源ノードは接地電圧を受け、前記増幅絶縁ゲート型電界効果トランジスタ対は、pチャネル絶縁ゲート型電界効果トランジスタ対を備える、請求項17記載の半導体回路装置。

【請求項19】 前記ラッチ段は、前記第1のクロック信号に応答して、前記第1のトランスファゲートの非導通時前記出力ノード対の電圧をイコライズするイコライズトランジスタを含む、請求項17記載の半導体回路装置。

【請求項20】 特定動作モード時に前記第2のラッチ回路の増幅段の入力ノードの電圧を所定電圧レベルに固定するための初期化トランジスタをさらに備える、請求項5記載の半導体回路装置。

【請求項21】 前記第2のラッチ回路のラッチ段は、ゲートの長さが前記第1のラッチ回路の絶縁ゲート型電界効果トランジスタのゲート長さよりも長くされた絶縁ゲート型電界効果トランジスタを含む、請求項5記載の半導体回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体回路装置に関し、特に、入力信号に論理処理を施す論理回路装置に関する。より特定的には、この発明は、低電源電圧下でも高速かつ正確に動作する半導体論理回路装置に関する

る。

【0002】

【従来の技術】近年の大規模の集積回路においては、構成要素であるMOSトランジスタ（絶縁ゲート型電界効果トランジスタ）のサイズが縮小される。この縮小されたMOSトランジスタの耐圧特性を保証するために、動作電源電圧が低くされる。この動作電源電圧を低くすることにより、また、信号線の充放電電流量が低減されて消費電流が低減される。また加えて、内部信号の振幅も小さくなるため、高速で信号を伝達することができ、高速動作が実現される。

【0003】動作電源電圧が低くされる場合、MOSトランジスタのサイズも縮小され、応じてゲート絶縁膜の膜厚も薄くされる。このMOSトランジスタのサイズの縮小は、一般にスケーリング則と呼ばれる規則に従って行なわれる。しかしながら、MOSトランジスタのしきい値電圧は、スケーリング則に沿って動作電源電圧の低下とともにその絶対値を小さくすることはできない。しきい値電圧は、チャネル幅が一定のときに、一定のドレイン電流を流すゲートソース間電圧である。ゲートソース間電圧 $V_{gs}$ が0Vであっても、サブスレッショルド電流が流れる。このサブスレッショルド電流は、しきい値電圧の絶対値が小さくなるほど大きくなる。したがって、MOSトランジスタのしきい値電圧の絶対値を、電源電圧の低下に合わせて小さくした場合、サブスレッショルド電流が大きくなり、スタンバイ状態時における消費電流が増大するという問題が生じる。

【0004】このようなサブスレッショルドリーク電流の問題を解消するために、たとえば階層電源と呼ばれるリーク電流防止回路が提案されている。

【0005】図26は、従来の階層電源構成を有する半導体装置の構成を示す図である。図26において、従来の半導体装置は、電源電圧VCCを伝達する主電源線1000と、接地電圧GNDを伝達する主接地線1002と、主電源線1000にスイッチングトランジスタ1003を介して結合される副電源線1004と、主接地線1002にスイッチングトランジスタ1005を介して結合される副接地線1006を含む。スイッチングトランジスタ1003は、動作サイクル規定信号ZACTが活性状態（Lレベル）のときに導通し、またスイッチングトランジスタ1005は、動作サイクル規定信号ACTが活性状態のHレベルのときに導通する。

【0006】この半導体装置は、さらに、論理回路として、2段の縦続接続されるインバータ1010および1012を含む。インバータ1010および1012は、同一構成を有し、pチャネルMOSトランジスタPTaおよびnチャネルMOSトランジスタNTaを含む。インバータ1010は、スタンバイサイクル時（動作サイクル規定信号ZACTおよびACTがともに非活性状態のとき）、その入力信号INがLレベルに設定される。

インバータ1010においては、pチャネルMOSトランジスタPTaのソースが主電源線1000に結合され、nチャネルMOSトランジスタNTaのソースが副接地線1006に結合される。一方、インバータ1012は、副電源線1004および主接地線1002上の電圧をそれぞれ動作電源電圧として受ける。入力信号INが変化するアクティブサイクル時には、動作サイクル規定信号ZACTおよびACTが活性状態にあり、スイッチングトランジスタ1003および1005は導通状態となり、副電源線1004が主電源線1000に結合され、また、副接地線1006が主接地線1002に結合される。したがって、副電源線1004上の電圧レベルは電源電圧VCCレベルとなり、また副接地線1006上の電圧は接地電圧GNDレベルとなる。MOSトランジスタPTaおよびNTaのしきい値電圧の絶対値を小さくすることにより、これらのインバータ1010および1012は、高速で動作し、入力信号INに応じて出力信号を出力する。

【0007】スタンバイサイクル時には、入力信号INが、Lレベルに固定され、インバータ1010の出力信号がHレベルに固定される。このスタンバイサイクルにおいては、動作サイクル規定信号ZACTおよびACTが非活性状態となるため、スイッチングトランジスタ1003および1005が非導通状態となる。インバータ1010においては、pチャネルMOSトランジスタPTaが導通状態となり、そのソースおよびドレインの電圧はともに電源電圧VCCレベルとなる。したがって、pチャネルMOSトランジスタPTaにおいては、そのソースおよびドレイン電圧が同一電圧レベルとなり、リーク電流は生じない。一方、インバータ1010のnチャネルMOSトランジスタNTaにおいては、そのゲート電圧が入力信号INにより、Lレベルであり、サブスレッショルドリーク電流が生じる。このとき、副接地線1006は、リーク電流によりその電圧レベルが接地電圧GNDよりも上昇する。応じて、このインバータ1010のnチャネルMOSトランジスタNTaのゲート-ソース間が逆バイアス状態に設定され（ソース電圧がゲート電圧よりも高くなる）、このサブスレッショルドリーク電流が抑制される。

【0008】一方、インバータ1012においては、その入力信号は、Hレベルである。したがって、インバータ1012内のpチャネルMOSトランジスタが非導通状態となり、リーク電流（サブスレッショルド電流）を生じさせる。しかしながら、副電源線1004上の電圧が、リーク電流により電源電圧VCCよりも低くなる。したがって、このインバータ1012においても、pチャネルMOSトランジスタのゲート-ソース間が逆バイアス状態に設定され、サブスレッショルド電流が低減される。

【0009】この図26に示すような階層電源構成の場

合、スタンバイサイクル時における入力信号または出力信号の電圧レベルに応じて、その電源供給ノードの接続態様が決定される。したがって、この階層電源構成では、スタンバイサイクル時における入力信号または出力信号の論理レベルを予め決定することができる場合には、論理ゲート（インバータ）の電源供給ノードの接続を決定することができる。しかしながら、ランダムロジックなどのように、スタンバイサイクル時における入力信号または出力信号の論理レベルを予め決定することができない場合、その電源ノードの接続経路は決定することができない。

【0010】図27は、従来のランダムロジックの一例を示す図である。図27において、このランダムロジックは、入力信号をバッファ処理するドライブ回路1020と、ドライブ回路1020の出力信号をクロック信号に同期してラッチし、かつ転送する転送回路1022と、転送回路1022の出力信号に所定の論理処理を行なう論理回路1024と、論理回路1024の出力信号をクロック信号に同期してラッチしかつ転送する転送回路1026と、転送回路1026の出力信号に対し所定の論理処理を施す論理回路1028と、論理回路1028の出力信号をクロック信号に同期して転送する転送回路1030を含む。

【0011】ドライブ回路1020は、入力信号それぞれに対応して設けられるドライバDRを含む。転送回路1022は、このドライブ回路1020のドライバDRにそれぞれ対応して設けられるフリップフロップF/Fを含む。論理回路1024は、ロジックGL1~GL3...を含む。論理回路1024のロジックGL1~GL3へ、それぞれ転送回路1023のフリップフロップF/Fからの出力信号が転送される。このフリップフロップF/FとロジックGL1~GL3...との接続経路は、実際に行なわれる論理処理に応じて決定される。

【0012】転送回路1026は、この論理回路1024のロジックGL1~GL3それぞれに対応して設けられるフリップフロップF/Fを含む。1つのロジックGLi (i=1~3...) に対し相補信号を転送するために2つのフリップフロップF/Fが設けられる。

【0013】論理回路1028は、並列に論理処理を行なうロジックGL4~GL6、...を含む。これらのロジックGL4~GL6が、転送回路1026のフリップフロップF/Fの所定の出力信号を受ける。

【0014】転送回路1030は、ロジックGL4~GL6に対応して設けられるフリップフロップF/Fを含む。この転送回路1030においても、論理回路1028のロジックGLj (j=4~6...) に対し2つのフリップフロップF/Fが設けられ、相補信号を転送する。

【0015】この図27に示すランダムロジックは、論理回路1020および1028がそれぞれスタティックに論理処理を行ない、転送回路1022および1026



および1030において、クロック信号に同期して信号の転送が行なわれる同期ロジックである。ドライブ回路1020から入力される信号に応じて、論理回路1024および1028の出力信号の論理レベルは変化する。特に、転送回路1022、1026および1030においては、それぞれラッチする信号の電圧レベル（論理レベル）が対応のロジックの出力信号に応じて異なるため、図26のような階層電源構成を、これらの転送回路1022、1026および1030に適用することはできない。またこれは、論理回路1024および1028

【0016】図28は、図27に示すフリップフロップF/Fの構成の一例を示す図である。図28において、フリップフロップF/Fは、クロック信号CKBがHレベルのときに能動化され、入力信号を反転して出力するクロックトインバータ1032と、クロックトインバータ1032の出力信号を反転するインバータ1034と、クロック信号CKがHレベルのときに能動化され、インバータ1034の出力信号を反転してインバータ1034の入力へ伝達するクロックトインバータ1036と、クロック信号CKに従って、インバータ1034の出力信号を伝達するトランスマッションゲート1038と、トランスマッションゲート1038の出力信号を反転するインバータ1040と、クロック信号CKBがHレベルのときに能動化され、インバータ1040の出力信号を反転してインバータ1040の入力へ伝達するクロックトインバータ1042と、インバータ1040の出力信号を反転して出力するインバータ1044を含む。

【0017】クロック信号CKおよびCKBは、互いに相補なクロック信号である。クロック信号CKがHレベルのときには、クロックトインバータ1032および1042が出力ハイインピーダンス状態に設定され、一方トランスマッションゲート1038が導通状態となる。また、クロックトインバータ1036がインバータとして動作する。したがって、この状態においては、インバータ1034および1036により信号がラッチされ、このラッチ信号が、トランスマッションゲート1038を介してインバータ1040へ伝達される。インバータ1040の出力信号がインバータ1044を介して出力される。

【0018】クロック信号CKがLレベルになると、クロックトインバータ1036が出力ハイインピーダンス状態となり、一方クロックトインバータ1032および1042がインバータとして動作し、またトランスマッションゲート1038が非導通状態となる。したがって、インバータ1040および1042がラッチ回路を構成し、クロック信号CKがHレベルのときに与えられた信号をラッチしかつ出力する。一方、クロックトインバータ1032が、入力信号を反転してインバータ10

34へ与える。トランスマッションゲート1038は、非導通状態であるため、単に、インバータ1034の出力信号が、この入力信号に応じて変化するだけである。

【0019】

【発明が解決しようとする課題】この図28に示すフリップフロップF/Fは、2相のクロック信号CKおよびCKBに従って、与えられた信号の取込および転送を行なっている。したがって図27に示す論理回路1020および1028の出力信号の確定タイミングが異なる場合であっても、クロック信号CKおよびCKBに従って順次信号を転送することができ、クロック信号に同期して、論理処理を行なうことができる。

【0020】しかしながら、この図28に示すように、フリップフロップF/Fの各インバータの出力信号の論理レベルは、入力信号に応じて変化する。この入力信号の論理レベルは、予め予測することはできない。したがって、フリップフロップF/Fのスタンバイサイクル時における消費電流を低減するために、図26に示すような階層電源構成を利用することはできない。

【0021】通常の動作モード時におけるスタンバイサイクル時のみならず、長期にわたって論理処理が行なわれないときに設定されるスリープモードにおいても、同様の問題が生じ、消費電流を低減することができなくなる。

【0022】上述のような、ランダムロジックにおいても、スタンバイサイクル時およびスリープモード時またはパワーダウンモード時における消費電流を低減するためにバルーン回路と呼ばれる不揮発性の記憶回路を別に設け、スタンバイサイクル時またはスリープモード時において、保持すべき情報を退避させて、主回路の電源を遮断する方法が提案されている（IEEE、JSSC、第30巻、第8号、1998参照）。

【0023】この構成の場合、電源を遮断するため、電流が流れる経路は存在せず、ロジックおよびフリップフロップにおける消費電流をなくすることができる。

【0024】しかしながら、通常の論理処理を行なう信号経路と別に、バルーン回路を設け、別の信号経路を介して情報を退避させる必要があり、占有面積が大きくなり、またその情報退避のための制御が複雑となる。

【0025】このようなランダムロジックは、一般の論理処理回路に限定されず、たとえばPDA（携帯型情報端末機器）と呼ばれる機器において、長期にわたって使用されない場合、その内部回路は、スリープモードに設定され、次の処理に備えることが行なわれる。このような携帯機器は、電池駆動であり、スリープモード時における電流をできるだけ低減することが要求される。

【0026】この発明の目的は、低電源電圧下においても、高速動作性能を劣化させることなく、消費電流を低減することのできる半導体回路装置を提供することである。

## 【0027】

【課題を解決するための手段】請求項1に係る半導体回路装置は、与えられた信号を通過させるバストランジスタで構成され、入力信号に所定の論理処理を施して出力するバストランジスタロジックと、このバストランジスタロジックの出力信号を高入力インピーダンスで受けて増幅する増幅段と、この増幅段に結合され増幅段の出力信号をラッチするためのラッチ段とを有する第1のラッチ回路を含む。

【0028】請求項2に係る半導体回路装置は、請求項1のバストランジスタロジックの出力信号が互いに相補な信号の対を含み、増幅段が、相補信号対を差動増幅する差動増幅段を備える。

【0029】請求項3に係る半導体回路装置は、請求項1または2の装置が、さらに、バストランジスタロジックと第1のラッチ回路との間に設けられ、第1のクロック信号にตอบสนองしてバストランジスタロジックの出力信号を第1のラッチ回路の増幅段へ伝達するための第1のトランスファゲートとをさらに備える。

【0030】請求項4に係る半導体回路装置は、請求項3の回路装置が、さらに、第1のラッチ回路の出力信号をラッチするための第2のラッチ回路と、第1および第2のラッチ回路の間に設けられ、第1のトランスファゲートと相補的に導通して第1のラッチ回路の出力信号を第2のラッチ回路へ伝達する第2のトランスファゲートを備える。

【0031】請求項5に係る半導体回路装置は、請求項4の第2のラッチ回路が、高入力インピーダンスを有し、その入力部に第1のラッチ回路の出力信号を受けて増幅する増幅段と、増幅段の出力信号をラッチするためのラッチ段とを備える。

【0032】請求項6に係る半導体回路装置は、請求項1の装置が、さらに、特定動作モード時、第1のラッチ回路への動作電源電圧の供給を停止させるための電源制御回路を備える。

【0033】請求項7に係る半導体回路装置は、請求項4の第1のラッチ回路が互いに相補な信号の対を出力し、第2のラッチ回路は、出力ノード対の各々と第1の電源ノードとの間に結合され、第1のラッチ回路からの相補信号をそれぞれのゲートに受ける差動絶縁ゲート型電界効果トランジスタ対と、第2および第3の電源ノード上の電圧を両動作電源電圧として受けて動作し、出力ノード対の電圧をラッチするインバータラッチとを備える。このインバータラッチは、入力と出力とが交差結合されるインバータの対を含む。

【0034】請求項8に係る半導体回路装置は、請求項7の装置が、さらに、特定動作モード時、第1のラッチ回路への動作電源電圧の供給を停止し、かつ第2のラッチ回路へ供給される第1-第3の電源ノード上の電圧を上昇させる電源制御回路を備える。

【0035】請求項9に係る半導体回路装置は、請求項8の電源制御回路が、特定動作モード時、第1の電源ノードの電圧を第2および第3の電源ノードの上の電圧の間の電圧レベルへ設定する手段を含む。

【0036】請求項10に係る半導体回路装置は、請求項8の回路装置が、さらに、第2のラッチ回路の出力信号を次段回路へ伝達するためのドライブ回路を備える。電源制御回路は、特定動作モード時ドライブ回路への電源電圧の供給を停止する手段を含む。

【0037】請求項11に係る半導体回路装置は、請求項4の第1および第2のラッチ回路に対し別々に電源が設けられ、かつそれら別々の電源は、他回路の電源と別に設けられる。

【0038】請求項12に係る半導体回路装置は、請求項3の第1のラッチ回路が、第1のクロック信号と相補な第2のクロック信号にตอบสนองして活性化されて増幅およびラッチ動作を行なうダイナミック型ラッチ回路を備える。

【0039】請求項13に係る半導体回路装置は、請求項3の回路装置において、バストランジスタロジックが互いに相補な信号の対を出力し、第1のラッチ回路は、出力ノード対と第1の電源ノードとの間に結合され、このバストランジスタロジックから出力される相補信号対をそれぞれのゲートに受ける差動絶縁ゲート型電界効果トランジスタの対と、第1のクロック信号に対応する制御クロック信号にตอบสนองして出力ノード対を電氣的に接続するイコライズ絶縁ゲート型電界効果トランジスタ対と、出力ノード対と内部電源ノードとの間に交差結合されるセンス絶縁ゲート型電界効果トランジスタ対とを含む。

【0040】請求項14に係る半導体回路装置は、請求項13の第1のラッチ回路が、さらに、制御クロック信号にตอบสนองして、イコライズトランジスタ対の導通時、内部電源ノードの電源電圧の供給を停止する電源トランジスタを備える。

【0041】請求項15に係る半導体回路装置は、請求項13の回路装置が、さらに、第1のクロック信号と相補な第2のクロック信号にตอบสนองして導通し、第1のラッチ回路の出力信号を伝達する第2のトランスファゲートと、第2のクロック信号にตอบสนองして第2のトランスファゲートの非導通時活性化され、第2のトランスファゲートを介して与えられる信号を増幅しラッチする第2のラッチ回路を備える。

【0042】請求項16に係る半導体回路装置は、請求項15の装置において、第1のラッチ回路が互いに相補な信号の対を出力し、第2のラッチ回路が、出力ノード対と第1の電源との間に接続され、第1のラッチ回路の相補信号をそれぞれのゲートに受ける増幅絶縁ゲート型電界効果トランジスタ対と、出力ノード対に結合され、出力ノード対の電圧をラッチするラッチ段と、第2のク

ロック信号にตอบสนองして出力ノード対を電氣的に短絡するイコライズトランジスタと、第2のクロック信号にตอบสนองして、ラッチ段へ電源電圧を供給するための電源トランジスタを備える。

【0043】請求項17に係る半導体回路装置は、請求項3の回路装置において、バストラジスタロジックが互いに相補な信号を出力し、第1のラッチ回路が、出力ノード対と第1の電源ノードの間に結合され、バストラジスタロジックの出力する相補信号対それぞれをゲートに受ける増幅絶縁ゲート型電界効果トランジスタ対と、第1のクロック信号にตอบสนองして導通し、出力ノード対と増幅絶縁ゲート型電界効果トランジスタ対のゲートを交差結合するプルアップトランジスタと、出力ノード対の電圧をラッチするラッチ段と、第1のクロック信号にตอบสนองしてプルアップトランジスタの非導通時ラッチ段への電源供給を遮断する電源トランジスタを含む。

【0044】請求項18に係る半導体回路装置は、請求項17の第1の電源が接地電源であり、増幅絶縁ゲート型電界効果トランジスタ対は、pチャネルMOSトランジスタ対を備える。

【0045】請求項19に係る半導体回路装置は、請求項17のラッチ段が、第1のクロック信号にตอบสนองして第1のトランスファゲートの導通時出力ノード対をイコライズするイコライズトランジスタを含む。

【0046】請求項20に係る半導体回路装置は、請求項5の回路装置が、さらに、特定動作モード時、第2のラッチ回路の増幅段の入力ノードの電圧を所定電圧レベルに固定するための初期化トランジスタを備える。

【0047】請求項21に係る半導体回路装置は、請求項5の第2のラッチ回路のラッチ段を構成する絶縁ゲート型電界効果トランジスタのゲート長さが、第1のラッチ回路を構成する絶縁ゲート型電界効果トランジスタのゲート長さよりも長くされる。

【0048】実際の論理処理を行なう回路部分をバストラジスタで構成することにより、バストラジスタロジックでは、単に信号の伝達が行なわれるだけであり、電源電圧の消費は行なわれず、低しきい値電圧のMOSトランジスタを用いてロジックを実現することができ、ロジック部を低消費電流で高速動作させることができる。

【0049】また、このバストラジスタロジックの出力信号を高入力インピーダンスを有するラッチ回路へ与えることにより、バストラジスタロジックから電源供給ノードへのリーク電流は存在せず、低消費電流が実現される。

【0050】

【発明の実施の形態】〔全体の構成〕図1は、この発明に従う半導体回路装置の全体の構成を概略的に示す図である。図1において、半導体回路装置1は、所定の論理処理を行なう論理処理回路2と、この論理処理回路2と

信号の授受を行なう別回路3と、外部からのクロック信号CLKおよび動作モード指示信号(コマンド)CMDとに従って論理処理回路2および別回路3の動作を制御する主制御回路4と、この主制御回路4の制御のもとに論理処理回路2に含まれるフリップフロップの電源電圧を制御するラッチ電源制御回路5を含む。論理処理回路2は、主制御回路4から与えられるクロック信号に従って信号を伝達する同期型回路で構成される。ラッチ電源制御回路5は、この主制御回路4からのクロック信号および動作モード指示信号に従って論理処理回路2に含まれるフリップフロップの電源電圧を調整する。論理処理回路2および別回路3の電源系統は別々に設けられる。

【0051】図1においては、別回路3には、外部からの電源電圧 $V_{ex}$ が与えられ、論理処理回路2へは、電源電圧は、ラッチ電源制御回路5を介して供給される。主制御回路4およびラッチ電源制御回路5は、この外部電源電圧 $V_{ex}$ を受けて動作するように示す。主制御回路4およびラッチ電源制御回路5へは、また、外部電源電圧 $V_{ex}$ を内部で降圧する回路からの内部降圧電圧が電源電圧として供給されてもよい。

【0052】別回路3は、単に、信号の入出力を行なう入出力バッファ回路であってもよく、またレジスタ回路またはメモリなどの記憶ユニットであってもよい。論理処理回路2は、その用途に応じて実行すべき論理処理内容が決定される。

【0053】図2は、論理処理回路2の構成の一例を示す図である。図2においては、3段のバストラジスタロジック10a、10b、および10cと、これらのバストラジスタロジックの信号の伝達をクロック信号に同期して行なうためのフリップフロップ(F/F)12aおよび12bを代表的に示す。バストラジスタロジック10a-10cの各々は、その構成は後に詳細に説明するが、相補信号を出力し、それぞれの出力部にフリップフロップ(F/F)が設けられる。バストラジスタロジック10a-10cは、その処理内容に応じて、予め定められた組合せのフリップフロップの出力信号を受ける。

【0054】フリップフロップ12aおよび12bは、対応のバストラジスタロジックの出力信号を取込むマスタラッチと、このマスタラッチの出力信号をラッチしかつ出力するスレーブラッチを含む。これらのフリップフロップ12aおよび12bは、ラッチ電源回路5に含まれるマスタラッチ制御回路14およびスレーブラッチ制御回路16の出力信号/電圧に応じて動作する。

【0055】バストラジスタロジック10a-10cにおいては、それぞれ所定の論理がバストラジスタで実現される。バストラジスタロジックの一例を図3に示す。

【0056】図3(A)は、2入力EXORゲートを示す図である。この2入力EXORゲート19は、入力信



号A<sub>i</sub>およびB<sub>i</sub>の論理レベルが一致した場合、その出力信号C<sub>i</sub>をLレベルに設定する。この図3(A)に示す2入力EXORゲート19は、図3(B)に示す論理ゲートと等価である。図3(B)において、この論理ゲートは、入力信号A<sub>i</sub>およびB<sub>i</sub>を受けるANDゲート19aと、入力信号A<sub>i</sub>およびB<sub>i</sub>を受けるNORゲート19bと、ANDゲート19aの出力信号およびNORゲート19bの出力信号を受けるNORゲート19cを含む。入力信号A<sub>i</sub>およびB<sub>i</sub>の論理レベルが異なる場合、NORゲート19bの出力信号がLレベルとなり、NORゲート19cが、インバータとして動作する。この場合、ANDゲート19aの出力信号はLレベルとなるため、出力信号C<sub>i</sub>はHレベルとなる。一方、入力信号A<sub>i</sub>およびB<sub>i</sub>がともにHレベルまたはともにLレベルのときには、ANDゲート19aまたはNORゲート19bの出力信号がHレベルとなり、NORゲート19cの出力信号C<sub>i</sub>はLレベルとなる。この図3(B)に示す論理ゲートは、CMOSゲートで構成される。

【0057】図3(C)は、2入力NORゲートの構成の一例を示す図である。図3(C)において、2入力NORゲートは、電源ノードと出力ノードND0の間に直列に接続されるpチャネルMOSTランジスタQ1およびQ2と、出力ノードND0と接地ノードとの間に並列に接続されるnチャネルMOSTランジスタQ3およびQ4を含む。MOSTランジスタQ2およびQ4のゲートへは入力信号A<sub>i</sub>が与えられ、MOSTランジスタQ1およびQ3のゲートへは、入力信号B<sub>i</sub>が与えられる。入力信号A<sub>i</sub>およびB<sub>i</sub>の少なくとも一方がHレベルのときには、MOSTランジスタQ3およびQ4の少なくとも一方が導通し、出力ノードND0は、接地電圧GNDレベルに駆動される。一方、入力信号A<sub>i</sub>およびB<sub>i</sub>がともにLレベルのときには、MOSTランジスタQ1およびQ2が導通し、一方、MOSTランジスタQ3およびQ4が非導通状態となる。したがって、この状態においては出力ノードND0は電源電圧VCCレベルに駆動される。

【0058】図3(C)に示すように、2入力NORゲートは、4つのMOSTランジスタを必要とする。したがって図3(B)に示す論理ゲートを構成する場合、12個のMOSTランジスタが必要となる。このようなpチャネルMOSTランジスタおよびnチャネルMOSTランジスタを用いるCMOS論理ゲートの場合、電源ノードと接地ノードの間にCMOSTランジスタが接続されたため、サブスレッショルド電流が生じる。また、回路の構成要素数も増加する。

【0059】図3(D)は、バストランジスタで構成されるEXORゲートを示す図である。図3(D)において、このバストランジスタロジックは、入力信号B<sub>i</sub>および/B<sub>i</sub>に従って、入力信号A<sub>i</sub>を選択的に通過させ

るCMOSTランスミッションゲートCTと、入力信号A<sub>i</sub>がLレベルのときに、入力信号B<sub>i</sub>を出力ノードND1へ伝達するpチャネルMOSTランジスタQ5と、入力信号A<sub>i</sub>がHレベルのときに導通し、入力信号/B<sub>i</sub>を出力ノードND1へ伝達するnチャネルMOSTランジスタを含む。入力信号B<sub>i</sub>および/B<sub>i</sub>は互いに相補な信号である。

【0060】入力信号B<sub>i</sub>がHレベルのときには、CMOSTランスミッションゲートCTは非導通状態にある。入力信号A<sub>i</sub>がHレベルのときには、出力ノードND1へは、MOSTランジスタQ6を介してLレベルの入力信号/B<sub>i</sub>が伝達される。一方、入力信号A<sub>i</sub>がLレベルのときには、Hレベルの入力信号B<sub>i</sub>がMOSTランジスタQ5を介して伝達される。

【0061】一方、入力信号B<sub>i</sub>がLレベルのときには、CMOSTランスミッションゲートCTが導通し、出力ノードND1へ、入力信号A<sub>i</sub>を伝達する。また、入力信号A<sub>i</sub>がLレベルのときには、MOSTランジスタQ5を介してLレベルの入力信号B<sub>i</sub>が出力ノードND1へ伝達される。一方、入力信号A<sub>i</sub>がHレベルのときには、Hレベルの入力信号/B<sub>i</sub>が出力ノードND1へMOSTランジスタQ6を介して伝達される。

【0062】したがって、入力信号A<sub>i</sub>およびB<sub>i</sub>の論理レベルが一致している場合には、出力ノードND1には、Lレベルの信号が伝達され、一方、入力信号A<sub>i</sub>およびB<sub>i</sub>の論理レベルが異なる場合には、出力ノードND1には、Hレベルの信号が出力される。したがってこの出力信号C<sub>i</sub>は、入力信号A<sub>i</sub>およびB<sub>i</sub>の排他的論理和に等しくなる。

【0063】この図3(D)に示すようなバストランジスタ用いて論理ゲートを実現する場合、その構成要素数が大幅に低減される。また、バストランジスタを用いた論理ゲートにおいては、単に入力信号が伝達されるだけであり、電源電圧は消費されない。したがって、図2に示すようなバストランジスタロジック10a~10cにおいては、入力信号が、その実現されるロジックに従って伝達されるだけであり、電源電圧は消費されない。バストランジスタロジック10a~10cの出力信号(相補信号)をそれぞれ対応して設けられるフリップフロップ(F/F)12a、12bへ与える。これらのフリップフロップは、高入力インピーダンスを有しており、バストランジスタロジック10a~10cから対応のフリップフロップへの電流の流入はなく、バストランジスタロジック10a~10cは、低消費電流で動作する。また、電源ノードと接地ノードの間の電流経路はこのバストランジスタロジック10a~10cにおいては存在しないため、ローV<sub>th</sub>トランジスタ(しきい値電圧の絶対値の小さなMOS(絶縁ゲート型電界効果)トランジスタ)を用いてもサブスレッショルド電流の問題は生じず、高速動作する論理回路を実現することができる。バ



ストランジスタロジック10a-10cが実現するロジックはその処理用途に応じて適宜に定められる。本発明は、この論理回路を、バストランジスタロジックで構成し、このバストランジスタロジックの出力信号を、高入力インピーダンスで受けることを主要特徴とする。以下、各実施の形態について説明する。

【0064】〔実施の形態1〕図4は、本発明に従う論理処理回路に含まれるフリップフロップ(F/F)の構成を示す図である。この図4に示すフリップフロップ12(F/F)が、図2に示すバストランジスタロジックの間に介挿される。前段のバストランジスタロジックからは、相補信号Dおよび/Dが出力される。このフリップフロップ12(F/F)からの相補出力信号OQおよび/OQは、適宜な次段のバストランジスタロジックへ与えられる。

【0065】図4において、フリップフロップ(F/F)12は、転送クロック信号TG1に従って、前段のバストランジスタロジックの出力信号Dおよび/Dを通過させる転送回路21と、転送回路21からの信号D2および/D2を増幅しかつラッチするためのマスタラッチ回路22と、転送クロック信号TG2に従ってマスタラッチ回路22の出力信号D3および/D3を転送する転送回路23と、転送回路23から与えられる信号D4および/D4を増幅しかつラッチするスレーブラッチ回路24と、スレーブラッチ回路24の出力信号D5および/D5を反転して、出力信号OQおよび/OQを生成して所定のバストランジスタロジックへ与えるドライブ回路25を含む。

【0066】転送回路21は、転送クロック信号TG1がHレベルのときに導通し、前段のバストランジスタロジックの出力信号Dおよび/Dをそれぞれ通過させるトランスファゲート21aおよび21bを含む。これらのトランスファゲート21aおよび21bは、それぞれ、nチャネルMOSトランジスタで構成される。

【0067】マスタラッチ回路22は、内部出力ノードOD1と内部電源ノードSD2の間に接続され、そのゲートにトランスファゲート21bからの信号/D2を受けるnチャネルMOSトランジスタNG1と、内部出力ノードOD2と電源ノードSD2の間に接続されかつそのゲートにトランスファゲート21aの出力信号D2を受けるnチャネルMOSトランジスタNG2と、ノードSD0およびSD1上に与えられる制御電源電圧PS0およびNS0を動作電源電圧として受けて動作し、内部出力ノードOD1およびOD2の電圧をラッチするラッチ回路を含む。このラッチ回路は、電源ノードSD0と内部出力ノードOD1の間に接続され、かつそのゲートが内部出力ノードOD2に接続されpチャネルMOSトランジスタPQ1と、電源ノードSD0と内部出力ノードOD2の間に接続されかつそのゲートが内部出力ノードOD1に接続されるpチャネルMOSトランジスタP

Q2と、内部出力ノードOD1と電源ノードSD1の間に接続されかつそのゲートが内部出力ノードOD2に接続されるnチャネルMOSトランジスタNQ1と、内部出力ノードOD2と電源ノードSD1の間に接続されかつそのゲートが内部出力ノードOD1に接続されるnチャネルMOSトランジスタNQ2を含む。

【0068】これらのMOSトランジスタPQ1、QP2、NQ1、およびNQ2は、低リーク電流のトランジスタであり、たとえばSOI(シリコン・オン・インシュレータ)構造のMOSトランジスタ、または、しきい値電圧の絶対値の大きなハイV<sub>th</sub>MOSトランジスタで構成される。MOSトランジスタNG1およびNG2は、ローV<sub>th</sub>MOSトランジスタで構成される。

【0069】転送回路23は、マスタラッチ回路22の相補出力信号/D3およびD3をそれぞれ転送クロック信号TG2がHレベルのときに導通して伝達するトランスファゲート23aおよび23bを含む。これらのトランスファゲート23aおよび23bは、それぞれ、nチャネルMOSトランジスタで構成される。転送クロック信号TG1およびTG2は、互いに重なり合わない2相のクロック信号である。

【0070】スレーブラッチ回路24は、内部出力ノードOD3と電源ノードSD5の間に接続されかつそのゲートにトランスファゲート23bからの信号D4を受けるnチャネルMOSトランジスタNG3と、内部出力ノードOD4と電源ノードSD5の間に接続されかつそのゲートにトランスファゲート23aからの信号/D4を受けるnチャネルMOSトランジスタNG4と、電源ノードSD3およびSD4上の制御電源電圧PS1およびNS1を両動作電源電圧として受けて動作し内部ノードOD3および/D3の電圧をラッチするラッチ回路を含む。このラッチ回路は、電源ノードSD3およびSD4の間に直列に接続されるpチャネルMOSトランジスタPQ3およびnチャネルMOSトランジスタNQ3と、電源ノードSD3およびSD4の間に直列に接続されるpチャネルMOSトランジスタPQ4およびnチャネルMOSトランジスタNQ4を含む。MOSトランジスタPQ3およびNQ3のゲートが内部出力ノードOD4に接続され、MOSトランジスタPQ4およびNQ4のゲートが内部出力ノードOD3に接続される。MOSトランジスタPQ3およびNQ3のドレインが内部出力ノードOD3に接続され、MOSトランジスタPQ4およびNQ4のドレインが内部出力ノードOD4に接続される。このスレーブラッチ回路24においても、MOSトランジスタPQ3、PQ4、NQ3およびNQ4は、低リーク電流MOSトランジスタで構成される。

【0071】ドライブ回路25は、内部電源線26上の電源電圧V<sub>CCC</sub>を一方動作電源電圧として受けて動作し、動作時スレーブラッチ回路24の出力信号/D5およびD5をそれぞれ反転して信号OQおよび/OQを生

成するインバータ25aおよび25bを含む。

【0072】マスタラッチ回路22の制御電源電圧PS0、NS0およびES0は、図2に示すマスタラッチ制御回路14により与えられ、スレーブラッチ回路24の制御電源電圧PS1、NS1およびES1は、図2に示すスレーブラッチ制御回路16より与えられる。また、内部電源線26上の電源電圧VCCも、さらに図1に示すラッチ電源制御回路5により制御される。次に、この図4に示すフリップフロップ12の動作を図5に示す信号波形図を参照して説明する。

【0073】バストランジスタロジックが論理処理を行なうノーマルモード時においては、制御電源電圧PS0およびPS1が電源電圧VCCの電圧レベルに設定され、また制御電源電圧ES0、NS0、ES1およびNS1が接地電圧GNDの電圧レベルに設定される。この状態において、転送クロック信号TG1およびTG2は、外部からのクロック信号(CLK)に従って生成される。

【0074】転送クロック信号TG1がHレベルに立上ると、転送回路21が導通し、前段のバストランジスタロジックからのデータDおよび/Dがマスタラッチ回路22へ伝達される。これにより、データ信号Dおよび/Dの電圧レベルが変化する。バストランジスタロジックは、バストランジスタで構成されており、単に信号を伝達するだけであり、そのしきい値電圧およびチャネル抵抗の影響により、バストランジスタロジックの出力信号振幅は小さい。

【0075】マスタラッチ回路22においては、MOSトランジスタNG1およびNG2が、ローV<sub>th</sub>MOSトランジスタで構成されており、信号D2および/D2に従って、内部出力ノードOD1およびOD2の電圧レベルを変化させる。MOSトランジスタNQ1およびNQ2は、そのしきい値電圧が、MOSトランジスタNG1およびNG2よりも高くされおり、出力ノードOD1およびOD2の駆動力は、MOSトランジスタNG1およびNG2よりも小さい。したがって、この内部出力ノードOD1およびOD2のラッチ電圧極性は、MOSトランジスタNG1およびNG2により決定される。内部出力ノードOD1およびOD2の電圧レベルが変化する

と、MOSトランジスタPQ1、PQ2、NQ1およびNQ2によるラッチ回路により、高速で、内部出力ノードOD1およびOD2が電源電圧および接地電圧レベルに駆動され、信号D3および/D3が生成される。

【0076】転送クロック信号TG1がLレベルに立下ると、転送回路21が非導通状態となり、一方、転送回路23が導通状態となり、スレーブラッチ回路24へ、マスタラッチ回路22から信号D3および/D3が伝達される。スレーブラッチ回路24においては、MOSトランジスタNG3およびNG4がマスタラッチ回路22からの信号D4および/D4をゲートに受けて差動

増幅し、内部出力ノードOD3およびOD4の電圧レベルを変化させる。このスレーブラッチ回路24においても、MOSトランジスタNQ3およびNQ4のしきい値電圧は、MOSトランジスタNG3およびNG4のそれよりも大きく、内部出力ノードOD3およびOD4のラッチ電圧極性は、MOSトランジスタNG3およびNG4により決定される。

【0077】内部出力ノードOD3およびOD4の電圧レベルが変化すると、MOSトランジスタPQ3、PQ4、NQ3、およびNQ4によるラッチ回路により、高速で、内部出力ノードOD3およびOD4の電圧レベルが電源電圧および接地電圧レベルへ駆動されてラッチされる。

【0078】このスレーブラッチ回路24によりラッチされた信号D5および/D5は、ドライブ回路25により、所定のバストランジスタロジックへ与えられる。

【0079】図3において、バストランジスタロジックが論理処理を行なわないスリープモード時のときは、転送クロック信号TG1およびTG2は、ともにLレベルに固定される。なお、内部電源線26上の電源電圧VCCは、後に説明するように、フローティング状態となって放電により接地電圧レベルに低下する。また、制御電源電圧PS0が接地電圧レベルに立下げられ、一方、制御電源電圧PS1はノーマルモード時の電源電圧VCCよりも高い昇圧電圧VBSTのレベルに上昇され、また制御電圧NS1は、中間電圧(電源電圧VCCと接地電圧GNDの間)の電圧レベルに上昇される。また、制御電源電圧ES1の電圧レベルが高くされる(電源電圧VCCレベル)。このスリープモード時においては、信号D2および/D2は、放電により、接地電圧レベルに立下がる。また、マスタラッチ回路22において、両動作電源電圧がともに接地電圧レベルとなるため、このマスタラッチ回路22の出力信号D3および/D3もともに接地電圧レベルとなる。

【0080】スレーブラッチ回路24においては、信号D4および/D4は、フローティング状態にあり、その電圧レベルは先の状態を維持する(ただし、リーク電流により、これらの信号電圧レベルは、接地電圧に低下する)。この状態において、制御電源電圧ES1が、制御電源電圧NS1よりも高い電圧レベルに駆動され、MOSトランジスタNG3およびNG4に、リーク電流が生じるのを防止する。特に、制御電源電圧ES1を、電源電圧VCCレベルに設定することにより、入力信号D4および/D4の電圧レベルにかかわらず、MOSトランジスタNG3およびNG4を、そのゲートソース間を逆バイアス状態に設定することができ、サブスレッショルド電流を十分に抑制することができる。

【0081】スレーブラッチ回路24においては、制御電源電圧PS1およびNS1の電圧レベルは上昇される。この制御電源電圧PS1およびNS1の電圧レベル

は、出力ノードOD3およびOD4の電圧をスレーブラッチ回路24が継続してラッチすることのできる電圧レベルに設定される。したがって、このスリープモード時には、スレーブラッチ回路24の出力信号D5および/D5の電圧レベルが制御電圧PS1およびNS1の電圧上昇に応じて上昇する。スリープモード時に、スレーブラッチ回路24において、情報を保持する。このスレーブラッチ回路24においては、MOSトランジスタPQ3、PQ4、NQ3、およびNQ4は、低リーク電流MOSトランジスタであり、このスリープモード時におけるリーク電流を十分に抑制することができる。

【0082】出力ドライブ回路25においては、内部電源線26上の電源電圧VCCが、その放電により接地電圧レベルに低下するため、インバータ（ドライバ）25aおよび25bにおいても、リーク電流が生じない。

【0083】図5に示す信号波形図においては、スレーブラッチ回路24へ与えられる信号D4および/D4は、フローティング状態にあり不定であり（最終的に接地電圧レベルに放電される）、制御電源電圧ES1をほぼ電源電圧VCCレベルに近い電圧レベルに設定している。これらの信号D4および/D4は、トランスファゲート23aおよび23bおよびMOSトランジスタNG1およびNG2を介して生じるリーク電流により、最終的に接地電圧レベルに低下する。したがって、制御電源電圧ES1は、特に電源電圧レベルにまで上昇させる必要はない。

【0084】制御電源電圧ES1を、制御電源電圧NS1の電圧レベルよりも高くしているのは以下の理由による。スリープモード時には、制御電源電圧PS1が昇圧電圧VBST、制御電源電圧NS1が、たとえばVCC/2の中間電圧レベルに設定される。制御電源電圧ES1を、制御電源電圧NS1よりも低い電圧レベルに設定した場合、これらMOSトランジスタNG3およびNG4において印加されるドレイン-ソース間電圧は、一方において大きくなり、長期にわたって、一方のMOSトランジスタに対し大きな電圧ストレスが印加される。制御電源電圧ES1は、この制御電源電圧NS1の中間電圧よりも高い電圧レベル（本実施の形態において電源電圧VCCレベル）に設定することにより、このようなドレイン-ソース間に高い電圧が印加されるのを防止することができる。たとえば内部出力ノードOD4が中間電圧に保持された場合、MOSトランジスタNG4のソースは、内部出力ノードOD4となる。この状態においては、MOSトランジスタNG4は、そのゲートは、放電により、接地電圧レベルへ駆動されるため、ゲート-ソース間が、十分に逆バイアス状態に保持され、サブスレッショルド電流は十分抑制される。仮に、このようなサブスレッショルド電流が生じる場合においても、ラッチ（MOSトランジスタPQ3、PQ4、NQ

3およびNQ4）がそのサブスレッショルド電流を吸収することにより、十分に内部出力ノードOD3およびOD4の電圧レベルを一定レベルに保持することができる。この場合においても、制御電圧NS1は、接地電圧よりも高くされており、このスレーブラッチ回路24において、電源ノードから接地ノードへ流れるリーク電流経路は遮断されており、特に問題は生じない。

【0085】また、スリープモード時には、このスレーブラッチ回路24は、MOSトランジスタNG3およびNG4のゲートに信号D4および/D4を受けており、転送回路23のトランスファゲート23aおよび23bにおいてリーク電流が生じても、スレーブラッチ回路24とマスタラッチ回路22とは電気的に分離されており、スレーブラッチ回路24からマスタラッチ回路22へリーク電流が生じることはない。したがって、転送クロック信号TG2を、特に負電圧に設定する必要がなく、制御が簡略化される。サブスレッショルド電流を確実に制御するため、MOSトランジスタNG3およびNG4は、ソースおよびドレインが固定されるように非対称に作成されてもよい。

【0086】これによりスリープモード時に、スレーブラッチ回路24において、リーク電流を生じさせることなく情報を保持することができる。また内部電源線26は、電源電圧の供給が停止されているため、ドライブ回路25および他のこの電源電圧VCCを利用する回路におけるリーク電流は生じない。

【0087】スリープモード時からノーマルモードに移行する場合には、制御電源電圧PS1およびPS0は、電源電圧VCCレベルに設定し、制御電源電圧ES1およびNS1とともに、接地電圧レベルに低下させる。以降、転送クロック信号TG1およびTG2に従って論理処理が行なわれる。

【0088】図6(A)は、この発明の実施の形態1におけるマスタラッチ制御回路14の構成を示す図である。図6(A)において、マスタラッチ制御回路14は、スリープモード指示信号SLEEPの活性化にตอบสนองして電源ノードと制御電圧伝達線14bとを切離すpチャネルMOSトランジスタ14aと、接地ノードに接続され、それぞれ制御電源電圧NS0およびES0を伝達する制御電圧伝達線14cおよび14dを含む。スイッチングトランジスタ14aは、ハイVth MOSトランジスタで構成され、非導通時のリーク電流は十分小さくされる。

【0089】この図6(A)に示す構成に従えば、通常動作モード（ノーマルモード）時には、スリープモード指示信号SLEEPは、Lレベルであり、スイッチングトランジスタ14aが導通し、制御電圧伝達線14bに電源電圧VCCを伝達する。したがって、制御電源電圧PS0は、電源電圧VCCレベルとなる。スリープモード時には、スリープモード指示信号SLE



EPがHレベルとなり、スイッチングトランジスタ14aが非導通状態となり、この制御電圧伝達線14bが電源ノードから切離される。この状態においては、制御電圧伝達線14bは、その放電により、電圧レベルが低下し、制御電源電圧PS0が接地電圧レベルに低下する。

【0090】制御電源電圧NS0およびES0は、常時接地ノードに結合されており、接地電圧GNDレベルに固定される。

【0091】図6(B)は、マスタラッチ制御回路14の変更例を示す図である。図14においては、制御電源電圧PS0を発生する部分の構成を示す。図6(B)において、マスタラッチ制御回路14は、スリープモード指示信号SLEEPの活性化時導通し、制御電源電圧PS0を接地電圧レベルに固定するnチャネルMOSトランジスタ14eと、スリープモード指示信号SLEEPの非活性化時導通し、制御電源電圧PS0を電源電圧VCCレベルに駆動するpチャネルMOSトランジスタ14aを含む。この図6(B)に示すマスタラッチ制御回路14は、制御電源電圧PS0を電源電圧VCCおよび接地電圧GNDの一方に固定する。したがって、スリープモード時において、制御電源電圧PS0がフローティング状態となるのを防止することができ、安定に、マスタラッチの電源電圧を接地電圧レベルに固定することができる。

【0092】図7は、図2に示すスレーブラッチ制御回路16の構成を概略的に示す図である。図7においてスレーブラッチ制御回路16は、電源電圧VCCを昇圧して、昇圧電圧VBSTを生成する昇圧回路16aと、電源電圧VCCに従って、中間電圧を生成する中間電圧発生回路16bと、スリープモード指示信号SLEEPに従って、電源電圧VCCおよび昇圧電圧VBSTの一方を選択して制御電源電圧PS1を出力するセクタ16cと、スリープモード指示信号SLEEPに従って中間電圧発生回路16bからの中間電圧と接地電圧の一方を選択して制御電源電圧NS1を出力するセクタ16dと、スリープモード指示信号SLEEPに従って、電源電圧VCCおよび接地電圧の一方を選択して制御電源電圧ES1として出力するセクタ16eを含む。

【0093】昇圧回路16aは、たとえば、チャージポンプ回路で構成され、所定の電圧レベルの昇圧電圧VBSTを生成する。この昇圧回路16aは、スリープモード時に活性化される構成であってもよい。中間電圧発生回路16bは、たとえばVCC/2の中間電圧を生成する。この回路は、たとえば、分圧回路で実現される。

【0094】セクタ16cは、スリープモード時には昇圧電圧VBSTを選択し、一方ノーマルモード時には、電源電圧VCCを選択する。セクタ16dは、スリープモード時には中間電圧発生回路16bからの中間電圧を選択し、ノーマルモード時には、接地電圧を選択する。セクタ16eは、スリープモード時

には、電源電圧VCCを選択し、ノーマルモード時には、接地電圧を選択する。

【0095】この図7に示すスレーブラッチ制御回路においては、スリープモード時、制御電源電圧ES1は、電源電圧VCCレベルに設定される。しかしながら、この制御電源電圧ES1の電圧レベルは、スリープモード時電源電圧VCCと異なる電圧レベルに設定されてもよい。中間電圧発生回路16bが生成する中間電圧と昇圧回路16aからの昇圧電圧VBSTにより、スレーブラッチ回路がラッチを行なうことができればよい。このラッチ可能とする電圧差は、スレーブラッチ回路を構成するMOSトランジスタPQ3、PQ4、NQ3、およびNQ4が確実に選択的にオン状態となり、またオフ状態となるMOSトランジスタは、オフ状態となる電圧レベルであればよい（貫通電流が流さない必要がある）。したがって、これらのMOSトランジスタのしきい値電圧の絶対値に応じて、このラッチ可能とする電圧差が適宜決定される。

【0096】なお、動作電源電圧VCCとして、外部電源電圧Vexを内部で降圧する降圧回路(VDC)の出力電圧が用いられる場合、制御電源電圧PS1は、外部電源電圧Vexと内部降圧電圧を用いて生成されてもよい。すなわち、スリープモード時には、外部電源電圧Vexレベル、ノーマルモード時には、内部降圧電圧Vccdに、制御電源電圧PS1が設定されればよい。

【0097】また、中間電圧発生回路16eも、スリープモード時においてのみ、所定の中間電圧を生成するように構成されてもよい。

【0098】図8は、内部電源電圧VCCの発生部の構成を概略的に示す図である。図8において、内部電源線26と電源ノードの間に、スリープモード指示信号SLEEPの活性化時非導通状態となるスイッチングトランジスタSWaが設けられる。このスイッチングトランジスタSWaは、絶対値の大きなしきい値電圧を有しており、非導通時のリーク電流は十分に小さくされる。

【0099】この図8に示す電源制御回路においては、ノーマルモード時には、内部電源線26へは、電源ノードから電源電圧VCCが供給され、内部電源電圧VCCCの電圧レベルは電源電圧VCCレベルとなる。一方、スリープモード時には、スイッチングトランジスタSWaが非導通状態となり、内部電源線26が、電源ノードから切り離され、内部電源線26上の内部電源電圧VCCCは、内部電源線26のリーク電流により接地電圧レベルに低下する。この内部電源線26上の内部電源電圧VCCCを動作電源電圧として利用するドライブ回路におけるリーク電流が抑制される。

【0100】図6(A)に示すスイッチングトランジスタ14aと図8に示すスイッチングトランジスタSWaは、その機能は同じである。しかしながら、制御電源電

圧伝達線14bと内部電源線26とは別々に設けられる。これにより、マスタラッチ回路の動作と出力ドライブ回路の動作が交互に悪影響を及ぼして、それぞれの電源電圧が変動するのを防止し、安定に動作するフリップフロップを実現する。

【0101】また、マスタラッチ回路およびスレーブラッチ回路それぞれに対して電源系統が別々に設けられており、これらの回路動作の相互影響も抑制されている。

【0102】以上のように、この発明の実施の形態1に従えば、論理処理を行なうロジックを、バストラジスタで構成し、このバストラジスタロジックの出力信号を、MOSトランジスタのゲートへ与えるように構成しているため、バストラジスタロジックは、リーク電流が流れる経路が存在せず、低しきい値電圧のMOSトランジスタを用いてロジックを実現することができ、高速に低消費電流で動作する論理回路を実現することができる。

【0103】また、スリープモード時においては、マスタラッチ回路の電源供給を停止し、リーク電流が流れる経路を遮断し、またスレーブラッチ回路においては、その電源供給ノードの電圧レベルを上昇させてリーク電流が流れないようにMOSトランジスタを深いオフ状態に設定しかつその保持データをラッチさせるように構成しているため、スタンバイサイクル時においても、低消費電流で安定に情報を保持することができる。また、単にバストラジスタロジック間のフリップフロップにおいてこの電源電圧を変化させて情報を保持しているだけであり、別経路を介して情報を退避させる必要がなく、簡易な回路構成で容易に信号を保持することができる。

【0104】〔実施の形態2〕図9は、この発明の実施の形態2に従うフリップフロップ12の構成を示す図である。図9において、マスタラッチ回路22は、内部出力ノードOD1と接地ノードの間に接続されかつそのゲートにトランスファゲート21bを介して与えられる信号/D2を受けるnチャネルMOSトランジスタNT1と、内部出力ノードOD2と接地ノードとの間に接続され、かつそのゲートにトランスファゲート21aを介して与えられる信号D2を受けるnチャネルMOSトランジスタNT2と、転送クロック信号TG1がHレベルのときに導通し、内部出力ノードOD1およびOD2を電氣的に短絡するトランスミッションゲートCQ1と、内部ノード22aと内部出力ノードOD1の間に接続されかつそのゲートが内部出力ノードOD2に接続されるpチャネルMOSトランジスタPT1と、内部ノード22aと内部出力ノードOD2の間に接続されかつそのゲートが内部出力ノードOD1に接続されるpチャネルMOSトランジスタPT2と、内部電源線26と内部ノード22aの間に接続されかつそのゲートに転送クロック信号TG1を受けるpチャネルMOSトランジスタPQ5を含む。MOSトランジスタPT1、PT2、NT1お

よびNT2は、ローVthトランジスタで構成され、一方、MOSトランジスタPQ5は、低リーク電流MOSトランジスタで構成される。

【0105】スレーブラッチ回路24は、その構成が、図4に示すスレーブラッチ回路24と以下の点において異なる。すなわち、MOSトランジスタPQ3およびPQ4の共通ソースノード24aと内部電源ノードSD3の間に、転送クロック信号TG2にตอบสนองして選択的に導通するpチャネルMOSトランジスタPQ6が設けられ、また、内部出力ノードOD3およびOD4の電圧を、転送クロック信号TG2がHレベルのときにイコライズするnチャネルMOSトランジスタNT3が設けられる。他の構成は、図4に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0106】図9に示す構成においては、マスタラッチ回路22およびスレーブラッチ回路24は、ともに、転送クロック信号TG1およびTG2にそれぞれตอบสนองして、それぞれの内部出力ノードをイコライズするダイナミック動作を行なっている。マスタラッチ回路22において、内部出力ノードOD1およびOD2をイコライズすることにより、前段のバストラジスタロジックから与えられる小振幅信号を高速で増幅することができる。通常、バストラジスタロジックにおいては、バストラジスタが複数個直列接続されており、このバストラジスタを通過する信号の振幅が小さくなる（チャネル抵抗の影響）。このマスタラッチ回路22は、バストラジスタロジックの出力信号Dおよび/Dを、MOSトランジスタNT1およびNT2のゲートにより受け取り、バストラジスタロジックにおいては電流が流れる経路（電源ノードから接地ノードへの経路）は存在しないため、バストラジスタロジックをローVth MOSトランジスタを用いて構成することができ、高速の論理処理を実現することができる。次に、この図9に示すフリップフロップ12のノーマルモード時の動作を図10に示す信号波形図を参照して説明する。

【0107】転送クロック信号TG1およびTG2は、外部からのたとえばシステムクロックであるクロック信号CLKに同期して生成される。これらの転送クロック信号TG1およびTG2は、互いに重なり合わない2相のまたは相補なクロック信号である。

【0108】転送クロック信号TG1がHレベルのとき、転送回路21が導通し、前段のバストラジスタロジックからの出力信号Dおよび/Dは、マスタラッチ回路22へ与えられる。マスタラッチ回路22は、電源トランジスタPQ5が非導通状態であり、またトランスミッションゲートCQ1が導通状態にある。したがって、内部出力ノードOD1およびOD2の電圧レベルはイコライズされている。MOSトランジスタNT1およびNT2は、そのゲートに、前段のバストラジスタロジック

クからの信号/D2およびD2を受けており、そのコンダクタンスが変化する。したがって、この内部出力ノードOD1およびOD2からの信号/D3およびD3は、MOSトランジスタNT1およびNT2の一方により放電され、その電圧レベルは互いに等しくかつ徐々に低下する。しかしながら、この場合においても、電源トランジスタPQ5は非導通状態であるため、内部電源線26から接地ノードへ電流が流れる経路は存在せず、電流は消費されない。

【0109】スレーブラッチ回路24においては、転送クロック信号TG2がLレベルであるため、先のクロックサイクルにおいて与えられた信号をラッチしている。

【0110】転送クロック信号TG1がLレベルとなると、転送回路21が非導通状態となり、一方、転送回路23が導通状態となる。マスタラッチ回路22においては、トランスミッションゲートCQ1が非導通状態となり、一方、電源トランジスタPQ5が導通し、ラッチ動作を開始する。トランスミッションゲートCQ1の非導通状態に従って、出力ノードOD1およびOD2の一方の電圧レベルがさらに低下する。ゲートおよびドレインが交差結合されたpチャネルMOSトランジスタPT1およびPT2により、内部出力ノードOD1およびOD2の他方のノードが、電源電圧VCC(VCCC)レベルにプルアップされる。このプルアップされた信号は、交差結合されたpチャネルMOSトランジスタPT1およびPT2によりラッチされる。マスタラッチ回路22の出力信号D3および/D3が、転送回路23を介してスレーブラッチ回路24へ与えられる。

【0111】スレーブラッチ回路24においては、MOSトランジスタNT3が導通状態にあり、また電源トランジスタPQ6が非導通状態にある。内部出力ノードOD3およびOD4の電圧はイコライズされている。信号D4および/D4に従って、内部出力ノードOD3およびOD4の電圧レベルが低下する。ここで、スレーブラッチ回路24において、制御電源電圧PS1は電源電圧VCCレベルに設定され、制御電源電圧NS1およびES1は、接地電圧レベルに固定されている。これは、先の実施の形態1と同様である。転送クロック信号TG2がHレベルのときには、したがって、スレーブラッチ回路24は、イコライズ状態にあり、出力ドライブ回路25からの信号OQおよび/OQは、同じ電圧レベルの信号となる。

【0112】転送クロック信号TG2がLレベルとなると、このスレーブラッチ回路24において、MOSトランジスタNT3が非導通状態、電源トランジスタPQ6が導通状態となり、MOSトランジスタPQ3、PQ4、NQ3およびNQ4によるラッチ回路が作動状態とされ、内部出力ノードOD3およびOD4の電圧レベルは、信号D4および/D4の電圧レベルに従って電源電圧および接地電圧レベルへ駆動されてかつラッチされ

る。

【0113】上述の動作が、転送クロック信号TG1およびTG2に従って繰返される。マスタラッチ回路をダイナミック型ラッチ回路(クロック信号に従ってその出力ノードを所定電圧レベルにイコライズする)で構成することにより、出力信号の変化は中間電圧レベルから始まり、前段のバストラジスタロジックからの小振幅信号を高速で増幅することができる。また、マスタラッチ回路22およびスレーブラッチ回路24のそれぞれのイコライズ動作期間中、電源トランジスタPQ5およびPQ6を非導通状態とすることにより、イコライズ動作時の消費電流をなくすことができ、低消費電流で動作するフリップフロップを実現することができる。また、バストラジスタロジックは、この出力信号Dおよび/Dが、マスタロジック回路22のMOSトランジスタのNT1およびNT2のゲートへ与えられているため、リーク電流は生じず、ローVthMOSトランジスタで構成することができる。

【0114】スリープモード時においては、先の実施の形態1と同様、内部電源線26上の電源電圧VCCCは、電源ノードからの切り離しにより、接地電圧レベルに低下する。また、制御電源電圧PS1、NS1およびES1も、先の実施の形態1と同様の上昇電圧レベルに設定され、情報のラッチを低リーク電流で行なう。

【0115】なお、図9に示す構成においては、マスタラッチ回路22および24は、それぞれ転送クロック信号TG1およびTG2に従ってイコライズ動作を行なっている。しかしながら、このイコライズ動作は、十分な振幅の電圧が伝達されるときに終了していればよい。図10において示すように、転送クロック信号TG1の立下がりに対しある時間幅をもってマスタラッチ回路22のイコライズ動作を終了させてもよく、また、スレーブラッチ回路も、この転送クロック信号TG2の立下がりに対しある時間幅の期間内で、イコライズ動作が終了していてもよい。

【0116】また、図11に示すように、これらのマスタラッチ回路22およびスレーブラッチ回路24は、転送クロック信号TG(TG1、TG2)の立上がりに対応して所定期間Hレベルとなるワンショットのパルス信号φTGに従ってイコライズ動作を行なうように構成されてもよい。

【0117】以上のように、この発明の実施の形態2に従えば、マスタラッチ回路をダイナミック型ラッチ回路で構成しているため、小振幅信号を高速で増幅することができる。また、マスタラッチ回路およびスレーブラッチ回路とともに、イコライズ動作時、電源ノードから切り離すように構成しているため、イコライズ動作時の電流消費を低減することができる。

【0118】なお、この発明の実施の形態2における制御電源電圧を生成する制御回路は、実施の形態1と同様



の構成を利用することができる。

【0119】[実施の形態3]図12は、この発明の実施の形態3に従うフリップフロップの構成を示す図である。この図12に示すフリップフロップ12は、スレーブラッチ回路24の構成が、図9に示すフリップフロップの構成と異なるが、図12に示すスレーブラッチ回路24は、図4に示すスレーブラッチ回路24の構成と同じであり、スタティック型ラッチ回路で構成される。マスタラッチ回路22は、図9に示す実施の形態2と同様、ダイナミック型ラッチ回路で構成される。図12に示すマスタラッチ回路22と図9に示すマスタラッチ回路とは構成が同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。また、図12に示すスレーブラッチ回路24の構成は、図4に示すスレーブラッチ回路24の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0120】この図12に示すフリップフロップの構成においては、マスタラッチ回路22が、転送クロック信号TG1に従ってダイナミック動作を行なう（内部出力ノードのイコライズ）。したがって、前段のバストラジスタロジックからの信号の振幅が小さい場合においても、高速で小振幅信号を増幅して内部信号D3およびD3を生成することができる。

【0121】一方、スレーブラッチ回路24は、図13に動作波形を示すように、スタティックに動作しており、転送クロック信号TG2に従って転送回路23を介して与えられる信号D4およびD4を、高速で増幅する。したがって、このスレーブラッチ回路24の出力信号D5およびD5は、転送クロック信号TG2に従って変化し、転送クロック信号TG2の1クロックサイクル期間ラッチされる。したがって、次段のバストラジスタロジックは、余裕をもって動作することができ、高速クロックCLKに従って高速動作することができる。

【0122】なおマスタラッチ回路22の動作は、図9に示す実施の形態2のマスタラッチ回路の動作と同じである。

【0123】スリープモード時には、実施の形態1と同様、制御電源電圧の制御が行なわれ、内部電源線26上の電源電圧VCCは、そのリーク電流により接地電圧レベルに放電され、また制御電源電圧PS1、N

【0124】以上のように、この発明の実施の形態3に従えば、マスタラッチ回路およびスレーブラッチ回路を、ダイナミック型ラッチ回路およびスタティック型ラッチ回路で構成しているため、小振幅の信号を高速で増幅し、かつ1クロックサイクル期間持続的に出力信号を出力することができ、高速動作する論理回路装置を実現することができる。

【0125】[実施の形態4]図14は、この発明の実

施の形態4に従うフリップフロップの構成を示す図である。この図14に示すフリップフロップ12は、マスタラッチ回路22の構成が、図12に示す構成と異なる。

【0126】図14において、マスタラッチ回路22は、内部出力ノードOD1と接地ノードの間に接続され、かつそのゲートに転送回路21からの信号D2を受けるpチャネルMOSトランジスタPG1と、内部出力ノードOD2と接地ノードの間に接続され、かつそのゲートに転送回路21からの信号D2を受けるpチャネルMOSトランジスタPG2と、内部出力ノードOD1と接地ノードの間に接続され、かつそのゲートが内部出力ノードOD2に接続されるnチャネルMOSトランジスタNT4と、内部出力ノードOD2と接地ノードの間に接続され、かつそのゲートが内部出力ノードOD1に接続されるnチャネルMOSトランジスタNT5と、共通ソースノード22aと内部出力ノードOD1の間に接続されかつそのゲートが内部出力ノードOD2に接続されるpチャネルMOSトランジスタPT1と、共通ソースノード22aと内部出力ノードOD2の間に接続されかつそのゲートが内部出力ノードOD1に接続されるpチャネルMOSトランジスタPT2と、転送クロック信号TG1にตอบสนองして導通し、内部出力ノードOD1およびOD2を電氣的に短絡するnチャネルMOSトランジスタNT6を含む。MOSトランジスタPT1、PT2、NT4およびNT5は、動作時、CMOSインバータラッチとして動作する。

【0127】このマスタラッチ回路22は、さらに、転送クロック信号TG1にตอบสนองして、制御電源電圧PS0を共通ソースノード22aに伝達する電源トランジスタPQ7と、補の転送クロック信号TG1にตอบสนองして内部出力ノードOD1とトランスファゲート21aとを接続するnチャネルMOSトランジスタNT7と、補の転送クロック信号TG1にตอบสนองして内部出力ノードOD2をトランスファゲート21aに接続するnチャネルMOSトランジスタNT8を含む。MOSトランジスタNT7およびNT8は、MOSトランジスタNT6と相補的に導通状態とされ、信号D2と信号D3とを同一電位とし、かつ信号D2と信号D3とを同一電位に設定する。

【0128】電源トランジスタPQ7は、制御電源電圧PS0を受けている。このMOSトランジスタPQ7は、ローVthMOSトランジスタで構成されていてもよいが、先の実施の形態3と同様、この電源トランジスタPQ7は、低リーク電流MOSトランジスタで構成されてもよく、また内部電源線26に接続されてもよい。この図14に示すフリップフロップ12の他の構成は、先の図12に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0129】次に、この図14に示すフリップフロップ12のノーマルモード時の動作を、図15に示す信号波

形図を参照して説明する。転送クロック信号TG1がHレベルのとき、転送回路21が導通状態、転送回路23が非導通状態にある。したがって、スレーブラッチ回路24は、ラッチ状態にあり、先のサイクルにおいて取込んだ信号をラッチし、出力ドライブ回路25を介して信号を出力する。

【0130】マスタラッチ回路22においては、転送回路21を介して与えられる信号D2および/D2に従って、pチャネルMOSトランジスタPG1およびPG2のコンダクタンスが変化する。MOSトランジスタNT6は導通状態にあるため、内部出力ノードOD1およびOD2は、電氣的に短絡されており、内部信号/D3およびD3は、その電圧レベルが同じである。pチャネルMOSトランジスタPG1およびPG2が、信号D2および/D2をゲートに受けており、これらの信号D2および/D2の振幅が小さくても、MOSトランジスタPG1およびPG2を介して、内部出力ノードOD1およびOD2の電圧レベルが低下する（オン状態のpチャネルMOSトランジスタのソースは内部出力ノード）。電源トランジスタPQ7は非導通状態にあるため、このMOSトランジスタPT1、PT2、NT4およびNT5によるラッチ回路のラッチ動作は停止されている。

【0131】転送クロック信号TG1がLレベルに立下がると、電源トランジスタPQ7が導通し、イコライズ用のMOSトランジスタNT6が非導通状態となり、ラッチ動作が開始される。このとき、また、MOSトランジスタNT7およびNT8が導通し、内部出力ノードOD1およびOD2を、それぞれトランスファゲート21aおよび21bに接続する。MOSトランジスタPT1、PT2、NT4およびNT5によるラッチ回路によるラッチ動作により、内部信号D3および/D3が信号D2および/D2に従って駆動される。この信号D3および/D3の信号変化は、また信号/D2およびD2へ交差的にフィードバックされる。したがって、信号D2および/D2の一方が、電源電圧レベルにまで立上げられ、これにより、MOSトランジスタPG1およびPG2の一方を完全にオフ状態とし、リーク電流を防止する。たとえば、信号D2がHレベルのときには、信号/D3が、電源電圧レベルにまで駆動され、応じて、この信号D2も、電源電圧レベルにまで駆動される。したがって、小振幅信号が前段のバストラジスタロジックから伝達されても、このマスタラッチ回路22において、入力信号D2および/D2の振幅が、電源電圧レベルにまで拡大され、内部出力ノードOD1およびOD2のうちのHレベルのノードが、MOSトランジスタPG1およびPG2の一方を介して放電されるのを防止し、消費電流を低減する。

【0132】転送クロック信号TG1がLレベルのとき、また転送回路23が導通状態となり、信号D3および/D3が、スレーブラッチ回路24に伝達される。ス

レーブラッチ回路24は、そのMOSトランジスタNG3およびNG4のゲートに信号D4および/D4を受けている。したがって、マスタラッチ回路22は、その内部の信号線およびスレーブラッチ回路の入力ゲート容量を駆動することが要求されるだけであり、高速で、信号D3および/D3を転送回路23を介してスレーブラッチ回路24へ伝達することができる。

【0133】スレーブラッチ回路24は、先の実施の形態3と同様、スタティック型ラッチ回路であり、入力信号D4および/D4に従って出力信号D5および/D5を生成し、出力ドライブ回路25を介して出力する。

【0134】なお、ノーマルモード時には、制御電源電圧PS0は、電源電圧VCCレベルであり、スリープモード時には、内部電源線26上の電源電圧VCCと同様、接地電圧レベルに放電される。スレーブラッチ回路24においても、制御電源電圧PS1、NS1、およびES1は、先の実施の形態1の場合と同様に駆動される。

【0135】この図14に示す構成においても、マスタラッチ回路22は、ダイナミック型ラッチ回路で構成されており、前段のバストラジスタロジックからの小振幅の信号を高速で増幅することができる。特に、このマスタラッチ回路22において、前段のバストラジスタロジックの出力信号Dおよび/Dを、pチャネルMOSトランジスタPG1およびPG2のゲートで受けることにより、nチャネルMOSトランジスタを用いる場合に比べて、小振幅信号であっても、より深いオン状態にこれらのMOSトランジスタPG1およびPG2を設定することができ、高速で、ラッチ動作時、内部出力ノードOD1およびOD2の電圧レベルに変化を生じさせることができ、高速のラッチ動作を実現することができる。

【0136】また、MOSトランジスタNT7およびNT8を用いて、ラッチ状態時、このマスタラッチ回路22の出力信号を入力部へ交差的に（信号D2と信号/D3を結合し、信号/D2を信号D3と結合する）フィードバックすることにより、Hレベルの入力信号を、電源電圧レベルに駆動することができ、MOSトランジスタPG1およびPG2を確実にオフ状態に設定することができ、リーク電流を低減することができる。

【0137】なお、この図14に示す構成に対する制御電源電圧を発生する部分の構成としては、先の実施の形態1における制御電源電圧発生部の構成を利用することができる。

【0138】[実施の形態5] 図16は、この発明の実施の形態5に従うフリップフロップの構成を示す図である。図16に示すフリップフロップ12においては、スレーブラッチ回路24において、パワーダウンモード指示信号PDの活性化にตอบสนองして導通し、nチャネルMOSトランジスタNG3およびNG4のゲートをそれぞれ接地電圧に駆動するnチャネルMOSトランジスタNT

10およびNT11が設けられる。このスレーブラッチ回路24の他の構成は、図4に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0139】マスタラッチ回路22は、内部出力ノードOD1およびOD2を、活性化時その電圧をラッチするラッチ段を構成するMOSトランジスタPT1、PT2、NT4およびNT5と、転送回路21の出力信号D2および/D2を差動増幅してその出力信号を内部出力ノードOD1およびOD2上に伝達するnチャネルMOSトランジスタNT1およびNT2と、転送クロック信号TG1がLレベルのとき導通し、ラッチ段の共通ソースノード22aへ制御電源電圧PS0を伝達するpチャネルMOSトランジスタPQ7を含む。このpチャネルMOSトランジスタPQ7は、低リーク電流MOSトランジスタで構成されてもよく、また、制御電源電圧PS0に代えて、内部電源線26上の電源電圧VCCCを受けるように結合されてもよい。

【0140】この図16に示すマスタラッチ回路22は、ダイナミック型ラッチ回路であり、転送クロック信号TG1がHレベルのときには、その内部出力ノードOD1およびOD2の電圧をイコライズし、転送クロック信号TG1がLレベルとなると、ラッチ段が活性化されて、内部出力ノードOD1およびOD2の電圧レベルを、前段のバスタランジスタロジックから与えられた信号D2および/D2に応じて駆動しかつラッチする。このマスタラッチ回路22として、先の実施の形態1から4のマスタラッチ回路が用いられてもよい。

【0141】ノーマルモード時には、このスレーブラッチ回路24は、スタティックに動作し、転送回路23を介して与えられる信号D4および/D4を差動増幅しかつラッチして出力する。スレーブラッチ回路24のラッチ部の構成としても、先の実施の形態1から4のいずれが用いられてもよい。

【0142】パワーダウンモード時には、パワーダウンモード指示信号PDがHレベルとなり、MOSトランジスタNT10およびNT11が導通状態となる。このパワーダウンモード時には、制御電源電圧PS0が接地電圧レベルへ放電され、また制御電源電圧PS1は、電源電圧VCCよりも高い電圧レベルに設定され、また制御電圧ES1およびNS1も接地電圧レベルから所定の電圧レベルへ上昇される。

【0143】このパワーダウンモード時には、MOSトランジスタNG3およびNG4のゲートは接地電圧レベルに固定される。したがって、このMOSトランジスタNG3およびNG4のゲートがフローティング状態となり、パワーダウンモード前の信号D4および/D4の電圧レベルに応じて、MOSトランジスタNG3およびNG4の電圧レベルが不安定な場合、制御電源電圧ES1は、これらの不安定な電圧レベルを考慮して、十

分高い電圧レベル（たとえば電源電圧VCCレベル）に設定する必要がある。しかしながら、MOSトランジスタNT10およびNT11により、MOSトランジスタNG3およびNG4のゲートを接地電圧レベルに固定することにより、制御電源電圧ES1の電圧レベルが中間電圧レベルに設定されても、MOSトランジスタNG3およびNG4は十分深いオフ状態に設定することができ、リーク電流を防止することができる。したがって、たとえば制御電源電圧NS1およびES1はともに等しい電圧レベル（たとえば中間電圧VCC/2）の電圧レベルに設定しても、十分にパワーダウンモード時のリーク電流を抑制することができる。

【0144】なお、パワーダウンモードは、ここでは、システム電源が遮断された場合において、単にフリップフロップにおいて情報を保持する必要がある動作モードを示す。スリープモードは、システム電源が投入された状態で、所定期間何ら論理処理が行なわれず、信号状態が変化しない場合に、コントローラ（CPU）の制御の下に、スリープモード指示信号SLEEPが活性状態とされる動作モードを示す。しかしながら、これらのパワーダウンモードおよびスリープモードは、同じ動作モードであってもよい。したがって、図16において括弧で示すように、パワーダウンモード指示信号PDに代えてスリープモード指示信号SLEEPがMOSトランジスタNT10およびNT11のゲートへ与えられてもよい。スリープモード時においても、正確に、情報を保持した状態でリーク電流を低減することができ、また制御電源電圧ES1の電圧レベルを低く設定することができ、消費電流が低減される。

【0145】以上のように、この発明の実施の形態5に従えば、パワーダウンまたはスリープモード時に、スレーブラッチ回路の信号入力段のMOSトランジスタのゲートを接地電圧レベルに固定しているため、情報保持時において、入力段のMOSトランジスタのゲートがフローティング状態とされて、その電圧レベルが変動しても、低い制御電源電圧で、安定に情報を保持することができ、かつリーク電流を抑制することができる。

【0146】〔実施の形態6〕図17は、この発明の実施の形態6に従うフリップフロップの構成を示す図である。図17に示すフリップフロップ12においては、スレーブラッチ回路24において、チャンネル長Lが他のMOSトランジスタよりも長くされたpチャネルMOSトランジスタPQ10およびPQ11ならびにnチャネルMOSトランジスタNQ10およびNQ11が、pチャネルMOSトランジスタPQ3およびPQ4ならびにnチャネルMOSトランジスタNQ3およびNQ4に代えて用いられる。他の構成は、図16に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0147】微細化されたMOSトランジスタにおいて



は、いわゆる「短チャネル効果」が発生する。この短チャネル効果は、ドレイン電圧の影響がソースにまで及ぶことにより生じる効果である。チャネル長 $L$ が短くなると、ドレイン電界による空乏層が容易にソースにまで到達し、反転層が形成されやすくなり、しきい値電圧の絶対値が小さくなる。すなわち、しきい値電圧がチャネル長 $L$ に対して依存性を有する。このスレーブラッチ回路24においてラッチ段を構成するMOSトランジスタPQ、NQのチャネル長 $L$ を他の構成要素のMOSトランジスタPT、NTおよびNGのチャネル長よりも長くする。これにより、これらのMOSトランジスタPQ10、PQ11、NQ10およびNQ11のしきい値電圧の絶対値が他のMOSトランジスタよりも大きくなる。チャネル領域の不純物分布が同じであっても、MOSトランジスタのしきい値電圧はチャネル長 $L$ により変化する。したがって、単に、チャネル長 $L$ を変えるだけで、しきい値電圧の異なるMOSトランジスタを生成することができる。これにより、製造工程を増加させることなくしきい値電圧の絶対値の大きなMOSトランジスタを形成して、スレーブラッチ回路24のラッチ段に利用することができる。

【0148】[変更例] 図17においてスレーブラッチ回路24において括弧内に示すように、スレーブラッチ回路24においてMOSトランジスタPQ10、PQ11、NQ10およびNQ11のチャネル幅 $W$ を、他のMOSトランジスタのチャネル幅よりも狭くする。いわゆる「狭チャネル効果」を生じさせる。この狭チャネル効果は、チャネル領域に形成される空乏層を横方向の拡がりを大きくして、その固定電荷を増大させることにより、しきい値電圧の絶対値を大きくする効果である。このチャネル幅 $W$ を小さくする構成においても、チャネル領域の不純物濃度プロファイルは、他のMOSトランジスタPQ、NQおよびNGと同様であり、何ら製造工程を増加させることなくしきい値電圧の絶対値の大きなMOSトランジスタを作製することができる。

【0149】なお、MOSトランジスタPQ10、PQ11、NQ10およびNQ11は、チャネル長 $L$ が大きくされかつチャネル幅 $W$ が小さくされてもよい。この構成の場合、伝達係数 $\beta$  ( $W/L$ に比例する定数) が小さくなり、電流駆動力が小さくなり、MOSトランジスタNG3およびNG4のコンダクタンスの差に応じて、内部出力ノードOD3およびOD4の電圧レベルを決定することができる(ラッチ極性を決定することができる)。

【0150】[電源トランジスタPQ7の構成/配置] マスタラッチ回路22において、電源トランジスタPQ7のしきい値電圧の絶対値はリーク電流低減のために大きくする必要がある。この場合、図18に示すように、この電源トランジスタPQ7のバックゲートへ、高電圧 $V_{pp}$ を与え、基板バイアスを深くして、しきい値電圧

の絶対値を大きくする。電源トランジスタPQ7は、また、MOSトランジスタPQ10およびPQ11と同様、そのチャネル長 $L$ および/またはチャネル幅 $W$ が調整されてもよい。

【0151】[電源トランジスタの配置] 図19は、マスタラッチ回路に対する電源トランジスタの配置を示す図である。図19において、マスタラッチ回路22#0~22# $n$ それぞれに対応して、電源トランジスタPQ#0~PQ# $n$ が設けられる。これらの電源トランジスタPQ#0~PQ# $n$ の各々は転送クロック信号TG1にตอบสนองして、制御電圧伝達線14b上の制御電源電圧PS0を対応のマスタラッチ回路22#0~22# $n$ に伝達する。この図19に示す配置の場合、制御電圧伝達線14b上の制御電源電圧PS0は、ほぼ一定の電圧レベルである(制御電圧伝達線14bの配線抵抗は十分小さい)。したがって、マスタラッチ回路22#0~22# $n$ に対し、ノーマルモード時、同一レベルの制御電源電圧を対応の電源トランジスタPQ#0~PQ# $n$ を介して伝達することができ、安定に動作させることができる。

【0152】[電源トランジスタの配置2] 図20は、マスタラッチ回路に対する電源トランジスタの配置2を示す図である。この図20に示す配置においては、マスタラッチ回路22#0~22# $n$ は、複数のグループに分割される。図20においては、マスタラッチ回路22#0~22# $k$ が1つのグループを構成し、マスタラッチ回路22# $m$ ~22# $n$ が1つのグループを構成する。これらのマスタラッチ回路のグループに対応して、サブ電源線34#0~34# $i$ が設けられる。これらのサブ電源線34#0~34# $i$ それぞれに対応して電源トランジスタPQ#0~PQ# $i$ が設けられて、制御電圧伝達線14bからの制御電源電圧PS0が、サブ電源線34#0~34# $i$ へそれぞれ伝達される。

【0153】この図20に示す配置の場合、電源トランジスタの数を低減することができる。また、電源トランジスタPQ#0~PQ# $i$ を分散配置させることにより、電流が流れる経路を分散させることができ、応じて電流の局所集中を防止することができる。

【0154】なお、図19および図20においては、マスタラッチ回路22に対する電源トランジスタの配置を示している。しかしながら、スレーブラッチ回路において電流源トランジスタが設けられる場合、同様、この図19または図20に示す配置と同様の配置が用いられる。

【0155】また、上述の実施の形態1から5において、マスタラッチ回路およびスレーブラッチ回路が適当に組合わせて用いられてもよい。

【0156】以上のように、この発明の実施の形態6に従えば、スレーブラッチ回路のラッチ用MOSトランジスタのチャネル長を他のMOSトランジスタよりも長く

しているため、製造工程数を増加させることなくしきい値電圧の異なるMOSトランジスタを作成できる。

【0157】[実施の形態7]図21は、この発明の実施の形態7に従う半導体回路装置の構成を概略的に示す図である。図21において、この半導体回路装置は、2相の転送クロック信号TG1およびTG2に同期して、互いに相補な多ビット2進数データAおよびABを伝送するフリップフロップ(F/F)回路50aと、転送クロック信号TG1およびTG2に同期して、互いに相補な多ビット2進数データBおよびBBを転送するフリップフロップ(F/F)回路50bと、フリップフロップ回路50aおよび50bから与えられたデータを加算する全加算回路52と、転送クロック信号TG1およびTG2に同期して、全加算回路52からのサム出力データSおよびSBならびにキャリ信号CAおよびCABを出力するフリップフロップ(F/F)回路50cを含む。2進数データAおよびABは、各ビットが互いに相補であり、2進数ABは、2進数Aの1の補数である。同様、2進数BBは、2進数Bの1の補数である。キャリ信号CAおよびCABは、互いに相補な信号である。またサム出力データSBは、サム出力データSの1の補数である。これは、後にその構成は詳細に説明するが、全加算回路52においては、加算結果データの各ビットに対して相補な論理レベルの信号が出力されるためである。

【0158】図22は、図21に示す全加算回路52の構成の一例を示す図である。図22においては、全加算回路52として、5ビットの2進数データA<4:0>およびB<4:0>の加算を行なう構成を示す。図22において、この全加算回路52は、それぞれ、同一構成を有する全加算器52a-52eを含む。これらの全加算器52a-52eの各々は、相補データビットを受ける入力IAおよびIBと、前段の全加算器からの相補キャリ信号を入力するキャリ入力ICと、相補キャリ信号を出力するキャリ出力OCと、加算結果を示す相補データビットを出力するサム出力OSを含む。

【0159】これらの全加算器52a-52eの各々へは、2進数データA<4:0>およびAB<4:0>の対応のビットおよび2進数データB<4:0>およびBB<4:0>の対応のビットが与えられる。たとえば、全加算器52aへは、最下位ビットA<0>、AB<0>、B<0>およびBB<0>が与えられる。この最下位ビットに対して設けられる全加算器52aのキャリ入力ICへは、電源電圧Vcおよび接地電圧が与えられる。この全加算器52aの与えられるキャリは、“0”であり、真のキャリ入力へは接地電圧が与えられ、補のキャリ入力へは、電源電圧Vcが与えられる。この電源電圧Vcは、フリップフロップ回路へ与えられる電源電圧と別の電源から与えられる。これらの全加算器52a-52eからは、5ビットの加算結果データS<4:0>

>およびSB<4:0>が出力され、かつ相補キャリ信号CAおよびCABが出力される。

【0160】図23は、図22に示す全加算器52a-52eの構成を示す図である。これらの全加算器52a-52eは、同一構成を有するため、1ビット全加算器の構成を示す。全加算器は、サム出力を生成する部分とキャリ出力を生成する部分とを有しており、図23においては、全加算器のサム出力信号SiおよびSBiを生成する部分の構成を示す。

【0161】図23において、全加算器(52a-52e)は、入力信号ABiにตอบสนองして入力キャリ信号Ciをノード61aに伝達するnチャネルMOSトランジスタ60aと、入力信号Aiにตอบสนองして、補の入力キャリ信号CBiをノード61aに伝達するnチャネルMOSトランジスタ60bと、入力信号Aiにตอบสนองして、入力キャリ信号Ciをノード61bに伝達するnチャネルMOSトランジスタ60cと、補の入力キャリ信号CBiを入力信号ABiにตอบสนองしてノード61bに伝達するnチャネルMOSトランジスタ60dを含む。入力信号AiおよびABiは、入力IAに与えられる互いに相補な信号であり、2進数データビットA<i>およびAB<i>に対応する。キャリ信号CiおよびCBiは、前段の全加算器から与えられるキャリ信号である。最下位ビットの全加算器52aにおいては、キャリ信号Ciが接地電圧レベルに固定され、補のキャリ信号CBiが、電源電圧Vcレベルに固定される(ノーマルモード時)。

【0162】全加算器(52a-52e)は、さらに、入力信号BBiにตอบสนองしてノード61a上の信号をノード61cに伝達するnチャネルMOSトランジスタ60eと、入力信号Biにตอบสนองしてノード61b上の信号をノード61cに伝達するnチャネルMOSトランジスタ60fと、入力信号Biにตอบสนองして、ノード61a上の信号をノード61d上に伝達するnチャネルMOSトランジスタ60gと、入力信号BBiにตอบสนองしてノード61b上の信号をノード61dに伝達するnチャネルMOSトランジスタ60hを含む。ノード61cから、サム出力信号Siが出力され、ノード61dから、補のサム出力信号SBiが出力される。

【0163】入力信号BiおよびBBiは、入力IBに与えられる2進数データビットB<i>およびBB<i>に対応する。サム出力OSから出力されるサム出力信号SiおよびSBiは、サム出力データビットS<i>およびSB<i>に対応する。次に、この図23に示す加算結果出力の動作について説明する。

【0164】(1) Bi=0(Lレベル): 信号Biが“0”(Lレベル)のときには、信号BBiがHレベルであり、MOSトランジスタ60eおよび60hが導通し、ノード61aがノード61cに接続され、ノード61bがノード61dに接続される。

【0165】(i) 信号Aiが“1”のときには、M

OSTランジスタ60bおよび60cが導通し、入力キャリ信号CBiがノード61aに伝達され、入力キャリ信号Ciがノード61bに伝達される。したがって、サム出力信号Siは、入力キャリ信号CBiに従って生成され、補のサム結果信号SBiが、入力キャリ信号Ciにより生成される。したがって、入力キャリ信号Ciが“1”のときには、サム出力信号Siが“0”となり、一方、入力キャリ信号Ciが“0”のときには、サム結果信号Siが“1”となる。

【0166】すなわち、 $S_i = 1 + C_i + 0$ が実行される。ここで、“+”は、モジュール2の加算を示す。

【0167】(ii) 入力信号Aiが“0”：この状態においては、MOSTランジスタ60aおよび60dが導通し、ノード61aに、入力キャリ信号Ciが伝達され、ノード61bに、補の入力キャリ信号CBiが伝達される。したがって、サム結果信号Siが、入力キャリ信号Ciにより生成され、サム結果信号SBiが、補のキャリ入力信号CBiに従って生成される。

【0168】したがって、この状態においては、 $S_i = 0 + 0 + C_i$ が実現される。

(2) Bi=1：この状態においては、MOSTランジスタ60fおよび60gが導通し、ノード60aがノード61dに結合され、ノード61bがノード61cに結合される。したがって、上述の入力信号Biが“0”のときと逆の態様で、ノード61cおよび61dとノード61aおよび61bの接続が行なわれる。したがって、入力信号Aiが“1”のときには、サム結果信号Siが入力キャリ信号Ciに従って生成され、一方、入力信号Aiが“0”のときには、サム結果信号Siが補の入力キャリ信号CBiに従って生成される。したがって、 $S_i = 1 + A_i + S_i$ が実現される。

【0169】したがって、入力信号Biに対する表現式から、この図23に示す構成は、次式を実現する。

$$【0170】S_i = A_i + B_i + C_i$$

$$SB_i = AB_i + BB_i + CB_i$$

すなわち、前段の全加算器からのキャリ入力と、入力信号ビットAiおよびCiの加算が行なわれ、その加算結果を示す信号Siが生成される。

【0171】この図23に示すように、全加算器において、サム結果信号を生成する部分においては、最下位ビットの全加算器に対するキャリ入力信号Ciを除いて、電源ノードから電流を消費してはいない。単に入力信号を伝達しているだけであり、低消費電流を実現することができる。たとえ、バストランジスタを介して信号が伝達されてその振幅が小さくなくても、先の実施の形態1から6において説明したように、小振幅信号を確実に増幅して、次段のフリップフロップ回路で増幅してラッチすることができる。

【0172】図24は、図22に示す全加算器52a-52eのキャリ信号を生成する部分の構成を示す図であ

る。キャリ信号CAiおよびCABiが次段の全加算器のキャリ入力ICへ与えられる。最上位ビットの全加算器52eからのキャリ信号CiおよびCBiは、次段のフリップフロップ(F/F)回路へ与えられる(図21参照)。

【0173】図24において、全加算器52a-52eの各々は、入力信号BBiにตอบสนองして入力信号Aiをノード71aに伝達するnチャネルMOSTランジスタ70aと、入力信号Biにตอบสนองして入力キャリ信号Ciをノード71aに伝達するnチャネルMOSTランジスタ70bと、入力信号BBiにตอบสนองして入力信号ABiをノード71bに伝達するnチャネルMOSTランジスタ70cと、入力信号Biにตอบสนองして入力キャリ信号CBiをノード71bに伝達するnチャネルMOSTランジスタ70dと、入力信号BBiにตอบสนองして入力キャリ信号Ciをノード71cに伝達するnチャネルMOSTランジスタ70eと、入力信号Biにตอบสนองして入力信号Aiをノード71c上に伝達するnチャネルMOSTランジスタ70fと、入力信号BBiにตอบสนองして入力キャリ信号CBiをノード71dに伝達するnチャネルMOSTランジスタ70gと、入力信号Biにตอบสนองして入力信号ABiをノード71d上に伝達するnチャネルMOSTランジスタ70hを含む。

【0174】これらの入力信号Ai、ABi、BiおよびBBiならびに入力キャリ信号CiおよびCBiは、先の図23に示す信号と同じである。

【0175】全加算器(52a-52e)は、さらに、入力信号ABiにตอบสนองしてノード71a上の信号をノード71e上に伝達するnチャネルMOSTランジスタ70iと、入力信号Aiにตอบสนองしてノード71c上の信号をノード71e上に伝達するnチャネルMOSTランジスタ70jと、入力信号ABiにตอบสนองしてノード71b上の信号をノード71f上に伝達するnチャネルMOSTランジスタ70kと、入力信号Aiにตอบสนองしてノード71b上の信号をノード71f上に伝達するnチャネルMOSTランジスタ70lを含む。ノード71eからキャリ信号CAiが出力され、ノード71fから、補のキャリ信号CABiが出力される。

【0176】全加算器は、さらに、ノード71fおよび71e上の信号をプルアップするためのプルアップ回路74を含む。このプルアップ回路74は、そのゲートが接地電圧に結合されて、周辺電源電圧Vpをノード75に伝達するpチャネルMOSTランジスタ74aと、ノード75および71eの間に接続されかつそのゲートがノード71fに接続されるpチャネルMOSTランジスタ74bと、ノード75とノード71fの間に接続されかつそのゲートがノード71eに接続されるpチャネルMOSTランジスタ74cを含む。

【0177】このプルアップ回路74は、交差結合されたpチャネルMOSTランジスタ74bおよび74cに



より、ノード71eおよび71fのうちの高電位のノードを周辺電源電圧 $V_p$ レベルまで上昇させかつラッチする。このプルアップ回路74を利用することにより、キャリ信号CAiおよびCABiの振幅を周辺電源電圧 $V_p$ レベルとして、複数段(5段)の全加算器を介して伝達されるキャリ信号振幅が小さくなるのを防止する。電圧 $V_p$ は電圧 $V_c$ と同一電源から与えられてもよく、別電源から与えられてもよい。次に、この図24に示す全加算器の動作について説明する。

【0178】(1)  $B_i=0$ : 入力信号 $B_i$ が“0”のときには、MOSTランジスタ70aおよび70cが導通し、一方MOSTランジスタ70bおよび70dが非導通状態となる。したがって、ノード71aには、入力信号 $A_i$ が伝達され、ノード71bには、入力信号 $A_{Bi}$ が伝達される。

【0179】さらに、MOSTランジスタ70eおよび70gが導通し、MOSTランジスタ70fおよび70hが非導通状態となる。したがって、ノード71cには、入力キャリ信号 $C_i$ が伝達され、ノード71dには、入力キャリ信号 $C_{Bi}$ が伝達される。

【0180】(i) 入力信号 $A_i$ が“0”のときには、MOSTランジスタ70iおよび70kが導通し、MOSTランジスタ70jおよび70lが非導通状態となる。したがって、ノード71eには、ノード71a上の信号 $A_i$ が伝達され、ノード71fには、ノード70d上の信号 $C_{Bi}$ が伝達される。キャリ信号CAiが信号 $A_i$ により決定されて“0”となる。すなわち、 $B_i=A_i=0$ の場合には、入力キャリ信号 $C_i$ の値にかかわらず、キャリ信号CAiは“0”である。

【0181】(ii)  $A_i=1$ : この状態においては、MOSTランジスタ70jおよび70lが導通し、MOSTランジスタ70iおよび70kが非導通状態となる。ノード71e上には、ノード71c上のキャリ信号 $C_i$ が伝達され、ノード71fには、ノード71d上の信号 $C_{Bi}$ が伝達される。すなわち、この状態においては、キャリ信号CAiが、入力キャリ信号 $C_i$ により決定され、補のキャリ信号CABiは、入力キャリ信号 $C_{Bi}$ により決定される。すなわち、入力キャリ信号 $C_i$ および入力信号 $A_i$ がともに“1”のときには、桁上げが生じ、キャリ信号CAiが“1”となり、一方、入力信号 $A_i=1$ かつ入力キャリ信号 $C_i=0$ のときには、桁上げが生じないため、キャリ信号CAiは“0”となる。

【0182】(2)  $B_i=1$ : この状態においては、MOSTランジスタ70bおよび70dが導通状態となり、MOSTランジスタ70aおよび70cが非導通状態となる。さらに、MOSTランジスタ70fおよび70hが導通状態となり、MOSTランジスタ70eおよび70gが非導通状態となる。したがって、ノード71aには、キャリ信号 $C_i$ が伝達され、ノード71bに

は、補の入力キャリ信号 $C_{Bi}$ が伝達される。さらに、ノード71cには、信号 $A_i$ が伝達され、ノード71dには、信号 $A_{Bi}$ が伝達される。

【0183】(i) 入力信号 $A_i$ が“1”のときには、ノード71eには、ノード71c上の入力信号 $A_i$ が伝達され、ノード71fには、ノード71d上の信号 $A_{Bi}$ が伝達される。したがって、キャリ信号CAiは、入力信号 $A_i$ により決定される。すなわち、キャリ信号CAiは“1”となる。すなわち、 $B_i=A_i=1$ の場合には、入力キャリ信号 $C_i$ の値にかかわらず、桁上げが生じているため、キャリ信号CAiは“1”となる。

【0184】(ii) 一方、入力信号 $A_i$ が“0”のときには、ノード71eには、入力キャリ信号 $C_i$ が伝達され、ノード71fには、ノード71b上の補の入力キャリ信号 $C_{Bi}$ が伝達される。したがって、キャリ信号CAiは、入力キャリ信号 $C_i$ により決定される。すなわち、入力信号 $B_i$ および $A_i$ の一方のみが“1”のときには、キャリ信号CAiは、入力キャリ信号 $C_i$ の値によりその論理レベルが決定される。

【0185】入力信号 $A_i$ および $B_i$ がともに“1”および“0”のときには、それぞれ、入力キャリ信号 $C_i$ の値にかかわらずキャリ信号CAiは“1”および“0”となり、入力信号 $A_i$ および $B_i$ の一方のみが“1”のときには、キャリ信号CAiが、入力キャリ信号 $C_i$ の値により決定される。これにより、入力信号 $A_i$ および $B_i$ ならびに入力キャリ信号 $C_i$ に従ってキャリ信号CAiおよびCABiを生成することができる。

【0186】このキャリ信号CAiは、図22に示す全加算器52a~52eを介して順次伝達される。しかしながら、プルアップ回路74を用いることにより、このキャリ信号CAiおよびCABiの振幅は十分に大きくすることができ、数多くのバストランジスタを介してキャリ信号が伝達されても、その信号振幅が低減されるのを防止することができ、また高速でキャリ信号を伝達することができる。なお、キャリ信号の振幅低減の度合いが比較的小さく、次段のフリップフロップ回路FFで十分にレベル検出、増幅およびラッチを行なうことができる場合には、プルアップ回路74は省略されてもよい。

消費電力を低減することができる。

【0187】また、図23および図24に示す全加算器においては、MOSTランジスタはすべてロー $V_{th}$ トランジスタで構成されており、高速で動作させることができる。

【0188】[フリップフロップの構成] 図25は、図21に示すフリップフロップ回路50a~50cの構成を示す図である。図25においては、1つの相補信号対に対して設けられるフリップフロップF/Fを代表的に示す。この図25に示すフリップフロップF/Fの構成は、図12に示す構成と実質的に同じであり、対応する

部分には同一の参照番号を付し、その詳細説明は省略する。

【0189】この図25に示すフリップフロップF/Fにおいては、さらに、転送回路23の出力部に、安定化容量81aおよび81bがそれぞれ設けられる。MOSトランジスタPQ3およびPQ4は、ソースに制御電源電圧PS1を受ける。

【0190】安定化容量81aおよび81bは、転送回路23が非導通状態となったときに、MOSトランジスタNG3およびNG4のゲートがフローティング状態となり、このMOSトランジスタNG3およびNG4のゲート電圧が変動し、MOSトランジスタPQ3、PQ4、NQ3およびNQ4のラッチ状態に悪影響を及ぼすのを防止する。

【0191】この図25に示すフリップフロップF/Fにおいては、MOSトランジスタPQ3、PQ4、PQ5、NQ3およびNQ4が、そのしきい値電圧の絶対値が大きくされたローリーク電流MOSトランジスタである。残りのMOSトランジスタはローV<sub>th</sub>トランジスタであり、高速で小振幅の信号Dおよび/Dを転送クロック信号TG1およびTG2に従ってラッチ転送することができる。

【0192】なお、このバストラジスタロジックの構成する論理回路は、全加算器に限定されず、他の論理回路であってもよい。

【0193】なお、MOSトランジスタPQ3およびPQ4のソースは、電流源トランジスタ(PQ6)を介して制御電源電圧PS1を受けてもよい。また、データ信号D5および/D5をイコライズするためのイコライズトランジスタ(NT3)が設けられてもよい。また、スレーブラッチ回路24は、マスク配線により、ダイナミック型/スタティック型ラッチ回路に択一的に形成されてもよい。

【0194】

【発明の効果】以上のように、この発明に従えば、論理回路をバストラジスタで構成し、かつこのバストラジスタのロジックの出力信号をMOSトランジスタのゲートへ与えるように構成しているため、ローV<sub>th</sub>トランジスタを用いて論理処理を行なうことができ、高速演算処理を低消費電流で行なうことができる。

【0195】すなわち、請求項1に係る発明に従えば、バストラジスタロジックの出力信号を高入力インピーダンスで受けて、増幅しラッチするように構成しているため、論理処理を行なう回路部分を低しきい値電圧のMOSトランジスタで構成することができ、低電源電圧下においても高速で論理処理を行なうことができる。また、バストラジスタロジックの出力信号を高入力インピーダンスに与えているため、バストラジスタロジックにおいてリーク電流は生じず、低消費電流で論理処理を行なうことができる。

【0196】請求項2に係る発明に従えば、請求項1の増幅段を、相補信号対を差動増幅する差動増幅段で構成しているため、小振幅信号を高速で増幅してラッチすることができる。

【0197】請求項3に係る発明に従えば、請求項1または2の装置において、バストラジスタロジックと第1のラッチ回路との間にトランスファゲートを配置しているため、転送クロック信号に同期して信号を伝達することができ、正確なタイミングで信号の入力およびラッチを行なうことができる。

【0198】請求項4に係る発明に従えば、請求項3の装置において、さらに、第1のラッチ回路の出力信号を第2のトランスファゲートを介して受けて増幅してラッチする第2のラッチ回路を設けているため、第1および第2のラッチ回路を相補的に動作させることにより、転送クロック信号に同期して正確に、信号の伝達を行なうことができる。

【0199】請求項5に係る発明に従えば、請求項4の第2のラッチ回路を、高入力インピーダンスで第1のラッチ回路の出力信号を受けて増幅する増幅段と、この増幅段の出力信号をラッチするラッチ段とで構成しているため、第1のラッチ回路から第2のラッチ回路への流入電流はなく、第1のラッチ回路のリーク電流を防止することができ、また逆に、ラッチ段のラッチ動作時、この増幅段を介して第1のラッチ回路へリーク電流が生じるのを防止することができる。

【0200】請求項6に係る発明に従えば、請求項1の回路装置が、さらに、特定動作モード時、この第1のラッチ回路の動作電源電圧の供給を停止させるように構成しているため、特定動作モード時第1のラッチ回路における消費電流を低減することができる。

【0201】請求項7に係る発明に従えば、請求項4の回路装置において、第2のラッチ回路を、第1のラッチ回路の出力信号を受ける差動MOSトランジスタ対と、この差動MOSトランジスタの出力ノードの電圧を増幅しかつラッチするインバータラッチとで構成しているため、簡易な回路構成で確実に相補信号対を増幅してラッチすることができる。また、差動MOSトランジスタ対のゲートに第1のラッチ回路の出力信号を受けているため、第1のラッチ回路と第2のラッチ回路との間でのリーク電流が生じるのを防止することができる。また差動MOSトランジスタ対およびインバータラッチの2段構成とすることにより、確実に、出力信号を増幅してラッチすることができる。

【0202】請求項8に係る発明に従えば、請求項7の装置において、特定動作モード時第1のラッチ回路への動作電源電圧の供給を停止しかつ第2のラッチ回路の電源ノードへ供給される電圧を上昇させているため、第1のラッチ回路の消費電流を低減しかつ第2のラッチ回路において信号を、リーク電流を抑制しつつ確実に保持す

ることができる。

【0203】請求項9に係る発明に従えば、請求項8の電源制御回路は、特定動作モード時差動MOSトランジスタ対の共通ソースノードの電圧をインバータラッチの動作電源電圧の電圧の間の電圧レベルに設定するように構成しているため、差動MOSトランジスタ対のゲートがフローティング状態となっても、これらの差動MOSトランジスタ対のゲートソース間を逆バイアス状態として、リーク電流が生じるのを確実に防止することができる。

【0204】請求項10に係る発明に従えば、請求項8の回路装置がさらに、第2のラッチ回路の出力信号を次段へ伝達するドライブ回路に対し、特定動作モード時、電源電圧の供給を停止しているため、この特定動作モード時における消費電流を低減することができる。

【0205】請求項11に係る発明に従えば、請求項4の装置において、第1および第2のラッチ回路に別々に電源が設けられかつこれらの電源は他回路の電源と別に設けられており、他回路の動作電源電圧とに対する第1および第2のラッチ回路の動作が相互に影響を及ぼすのを防止することができ、また他回路と独立にこれらの第1および第2のラッチ回路の電源電圧を動作モードに応じて設定することができる。

【0206】請求項12に係る発明に従えば、請求項3の装置において、第1のラッチ回路をダイナミック型ラッチ回路で構成しているため、この第1のラッチ回路の出力ノードはプリチャージ電圧レベル（イコライズ電圧レベル）から変化するため、小振幅信号を高速で増幅してラッチすることができる。

【0207】請求項13に係る発明に従えば、第1のラッチ回路を差動MOSトランジスタ対と、この差動MOSトランジスタ対の出力ノードをイコライズするイコライズトランジスタ対と、この出力ノード対をプルアップするための交差結合されたセンスMOSトランジスタ対とで構成しているため、増幅動作時、常にイコライズ電位からその出力電位を変化させることができ、小振幅信号を高速で増幅してラッチすることができる。また交差結合されたセンスMOSトランジスタ対により、高速で、プルアップ動作を行ない、プルアップ信号をラッチすることができる。

【0208】請求項14に係る発明に従えば、請求項13の第1のラッチ回路がさらに、イコライズ動作時動作電源電圧の供給を停止する電源MOSトランジスタを備えているため、イコライズ動作時の消費電流を低減することができる。

【0209】請求項15に係る発明に従えば、請求項13の装置に、第1のラッチ回路の出力信号を第2の転送ゲートを介して与えられる信号をラッチする第2のラッチ回路を設けているため、正確に、2つのラッチ回路の出力信号を転送して保持することができる。

【0210】請求項16に係る発明に従えば、請求項15の第2のラッチ回路は、第1のラッチ回路の相補出力信号をゲートに受ける増幅MOSトランジスタ対と、この増幅MOSトランジスタ対の出力信号をラッチするラッチ段と、この増幅MOSトランジスタ対の出力ノードをイコライズするイコライズトランジスタと、このラッチ段への電源電圧の供給を選択的に行なう電流源トランジスタとで構成しているため、第2のラッチ回路をダイナミック型ラッチ回路で構成することができ、高速でラッチ動作を行なうことができ、また第1のラッチ回路と第2のラッチ回路との間でのリーク電流が生じるのを防止することができ、低消費電流で高速に動作するラッチ回路を実現することができる。

【0211】請求項17に係る発明に従えば、請求項13の第1のラッチ回路を、パストランジスタロジックの出力信号を増幅MOSトランジスタ対のゲートに与え、この増幅MOSトランジスタ対のゲートを出力ノード対と交差結合して、出力ノード対の電圧をラッチするとともに、このラッチ段への電源電圧供給を選択的に行なう電流源トランジスタとで構成しているため、小振幅信号を高速で増幅しかつラッチすることができるとともに、イコライズ動作時、消費電流を低減することができ、かつさらにラッチ動作時、出力ノード対と増幅MOSトランジスタ対と相互接続することができ、入力段の増幅MOSトランジスタ対のゲートがフローティング状態となるのを防止することができ、正確にラッチ動作を行なうことができる。また電源電圧供給を選択的に行なうことにより、イコライズ動作時の消費電流を低減することができる。

【0212】請求項18に係る発明に従えば、請求項17の増幅MOSトランジスタ対をpチャネルMOSトランジスタ対で構成しているため、パストランジスタロジックの出力信号が小振幅信号であっても、強いオン状態となり、正確に増幅動作を行なうことができる。

【0213】請求項19に係る発明に従えば、請求項17のラッチ段がさらに、出力ノード対をイコライズするように構成しているため、第1のラッチ回路をダイナミック動作させることができ、小振幅信号を高速で増幅することができる。

【0214】請求項20に係る発明に従えば、請求項5の装置にさらに、特定動作モード時、第2のラッチ回路の増幅段の入力ノードの電圧を所定電圧レベルに固定する初期化トランジスタを設けているため、この特定動作モード時第2のラッチ回路がラッチ状態となっても、確実に、その増幅段のトランジスタのリーク電流を抑制することができる。

【0215】請求項21に係る発明に従えば、請求項5の第2のラッチ回路のラッチ段をゲート長の長さが長くされたMOSトランジスタで構成しているため、同一製造工程で、しきい値電圧の異なるMOSトランジスタを



実現することができ、工程数を増加させることなく、低消費電流の第2のラッチ回路を実現することができる。

【図面の簡単な説明】

【図1】 この発明に従う半導体回路装置の全体の構成を概略的に示す図である。

【図2】 図1に示すラッチ電源制御回路および論理処理回路の構成を概略的に示す図である。

【図3】 (A)は、EXORゲートを示し、(B)は、その等価回路を示し、(C)は、NORゲートの構成を示し、(D)は、EXORゲートのバストラジスタによる構成を示す図である。

【図4】 この発明の実施の形態1に従うフリップフロップの構成を示す図である。

【図5】 図4に示すフリップフロップの動作を示す信号波形図である。

【図6】 (A)は、図4に示すマスタラッチ回路の制御電源電圧発生部の構成を示す図であり、(B)は、その変更例を示す図である。

【図7】 図2に示すスレーブラッチ回路の制御電源電圧発生部の構成を概略的に示す図である。

【図8】 図4に示す内部電源電圧発生部の構成を示す図である。

【図9】 この発明の実施の形態2に従うフリップフロップの構成を示す図である。

【図10】 図9に示すフリップフロップの動作を示す信号波形図である。

【図11】 この発明の実施の形態2の変更例の動作を示す信号波形図である。

【図12】 この発明の実施の形態3に従うフリップフロップの構成を示す図である。

【図13】 図12に示すフリップフロップの動作を示す信号波形図である。

【図14】 この発明の実施の形態4に従うフリップフロップの構成を示す図である。

【図15】 図14に示すフリップフロップの動作を示す信号波形図である。

【図16】 この発明の実施の形態5に従うフリップフロップの構成を示す図である。

【図17】 この発明の実施の形態6に従うフリップフロップの構成を示す図である。

【図18】 図17に示す電源トランジスタの構成の一例を示す図である。

【図19】 この発明におけるフリップフロップの電源

トランジスタの配置を示す図である。

【図20】 この発明に従う電源トランジスタの配置の他の例を示す図である。

【図21】 この発明の実施の形態7に従う半導体回路装置の全体の構成を概略的に示す図である。

【図22】 図21に示す全加算回路の構成の一例を示す図である。

【図23】 図22に示す全加算器の構成を示す図である。

【図24】 図22に示す全加算回路の構成を示す図である。

【図25】 図22に示すフリップフロップ回路の構成を示す図である。

【図26】 従来の階層電源構成を示す図である。

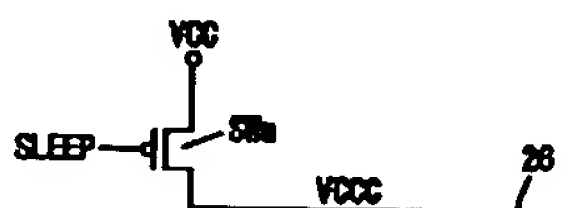
【図27】 従来の半導体回路装置の構成を概略的に示す図である。

【図28】 図27に示すフリップフロップの構成を概略的に示す図である。

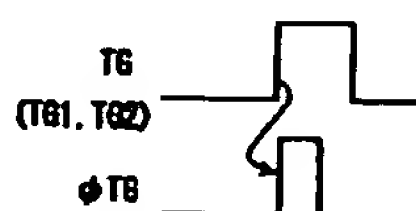
【符号の説明】

- 1 半導体回路装置、2 論理処理回路、3 別回路、4 主制御回路、5 ラッチ電源制御回路、10a-10c バストラジスタロジック、12, 12a, 12b フリップフロップ(F/F)、14 マスタラッチ制御回路、16 スレーブラッチ制御回路、21, 23 転送回路、22 マスタラッチ回路、24 スレーブラッチ回路、25 出力ドライブ回路、PQ1~PQ4 pチャネルMOSトランジスタ、NQ1~NQ4, NG1~NG4 nチャネルMOSトランジスタ、21a, 21b, 23a, 23b トランスファゲート、25a, 25b 出力ドライバ、NT1~NT3 nチャネルMOSトランジスタ、PQ5, PQ6 pチャネルMOSトランジスタ、CQ1 CMOSトランスミッションゲート、PG1, PG2 nチャネルMOSトランジスタ、NT7, NT8 nチャネルMOSトランジスタ、PQ7 pチャネルMOSトランジスタ、NT10, NT11 nチャネルMOSトランジスタ、PQ10, PQ11 pチャネルMOSトランジスタ、NQ10, NQ11 nチャネルMOSトランジスタ、50a-50c フリップフロップ(F/F)回路、52 全加算回路、52a-52e 全加算器、60a-60h バストラジスタ、70a-70l バストラジスタ、74 プルアップ回路。

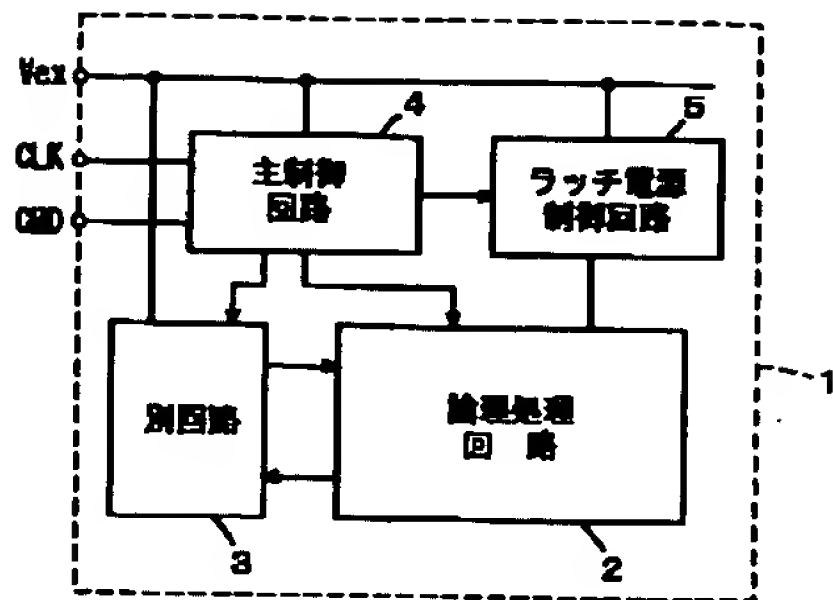
【図8】



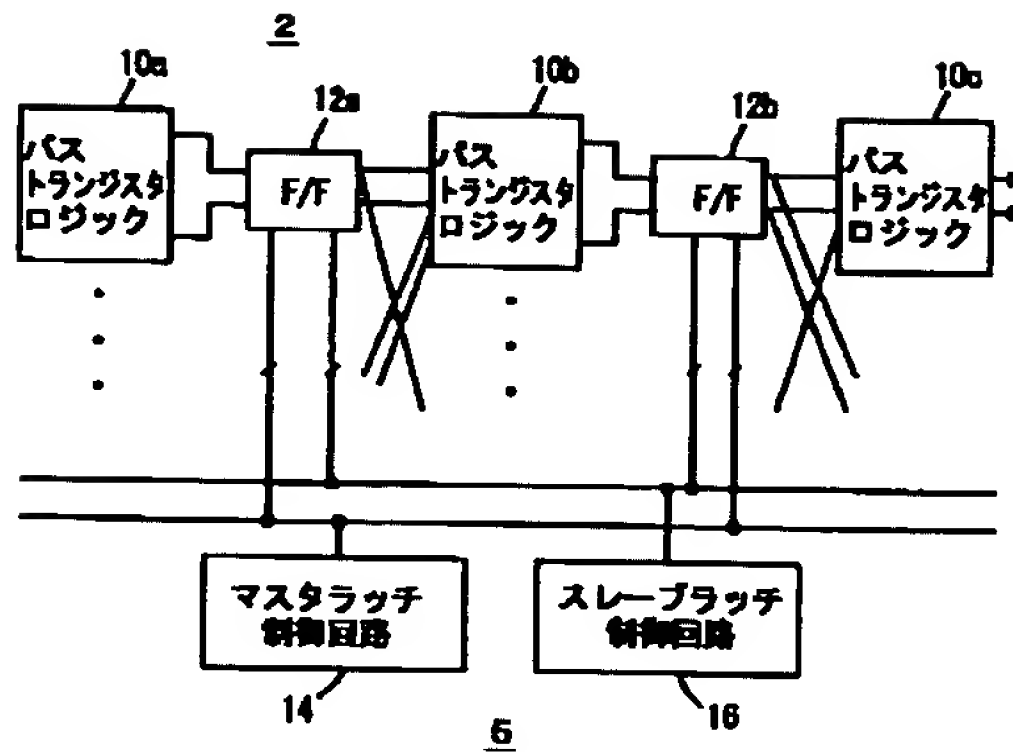
【図11】



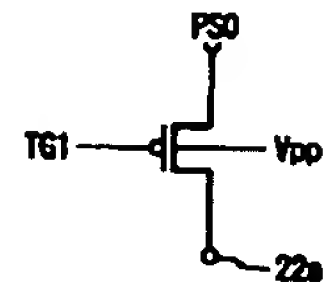
【図1】



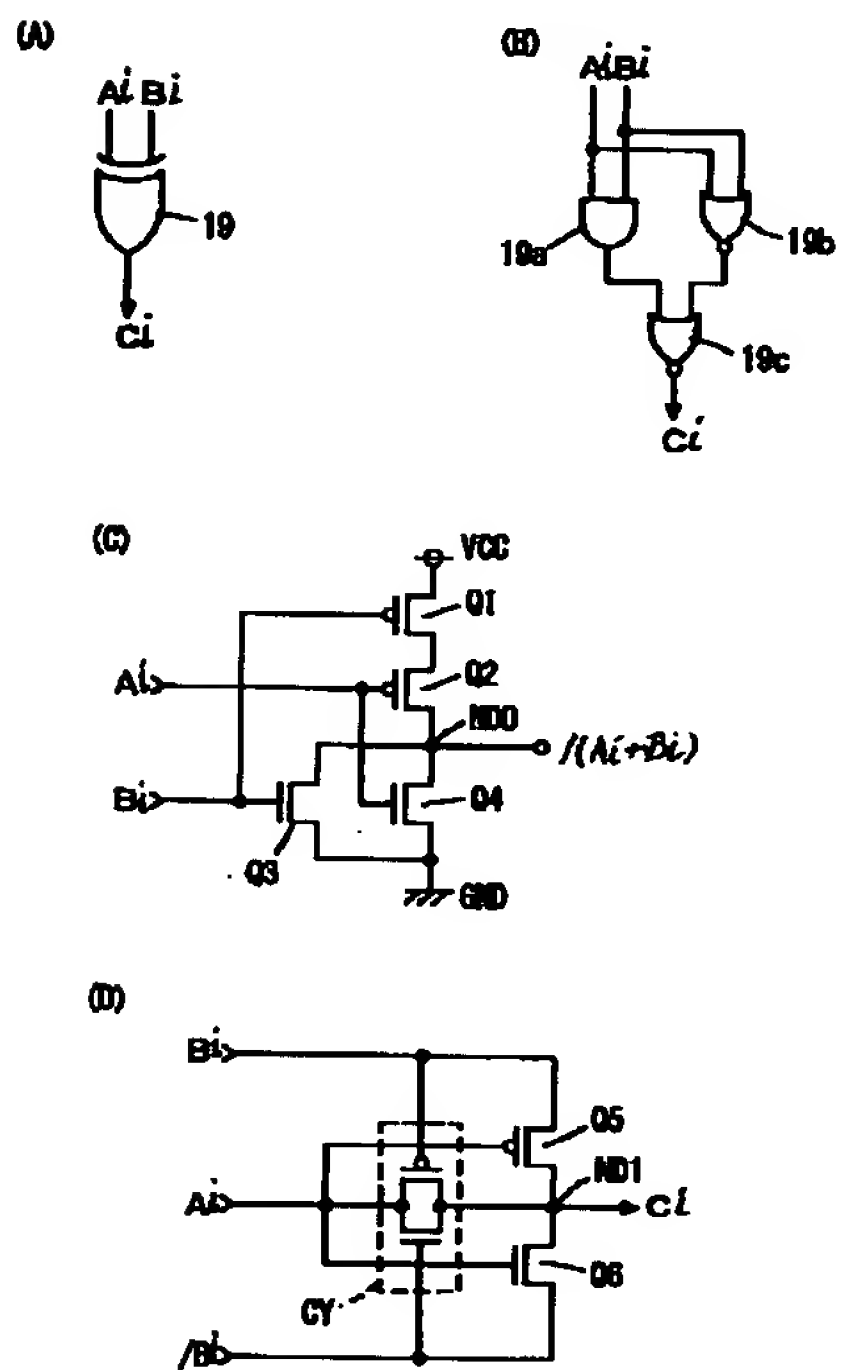
【図2】



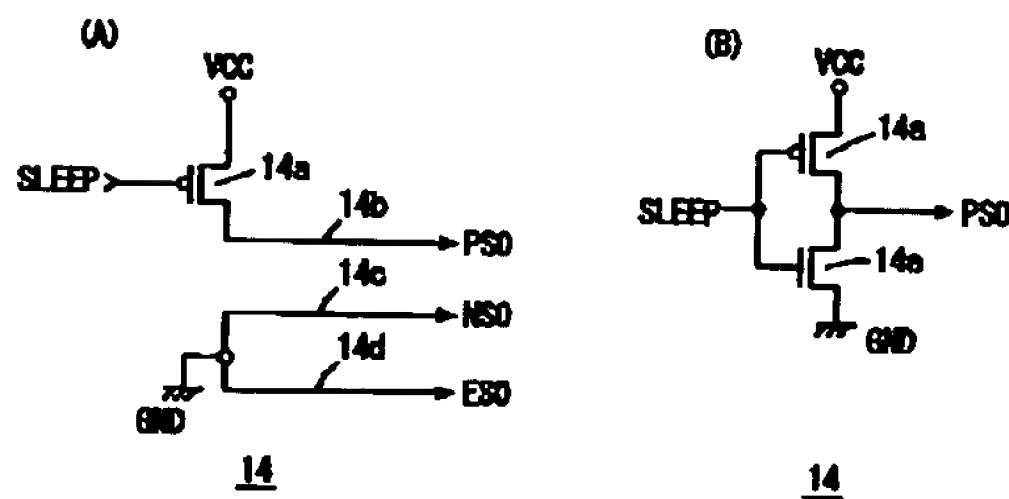
【図18】



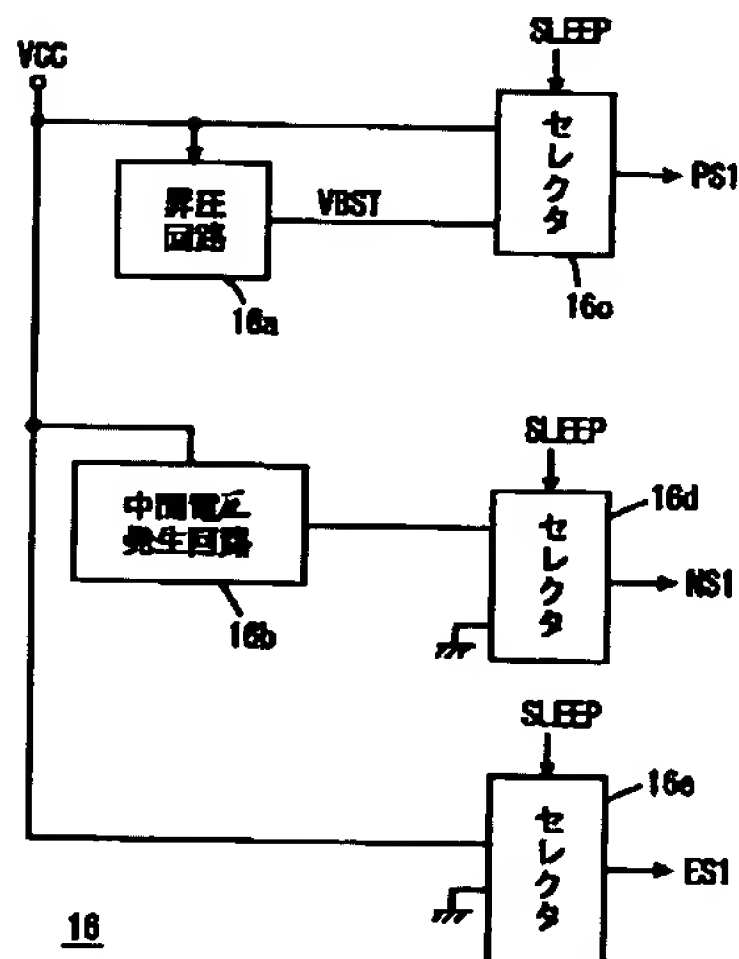
【図3】



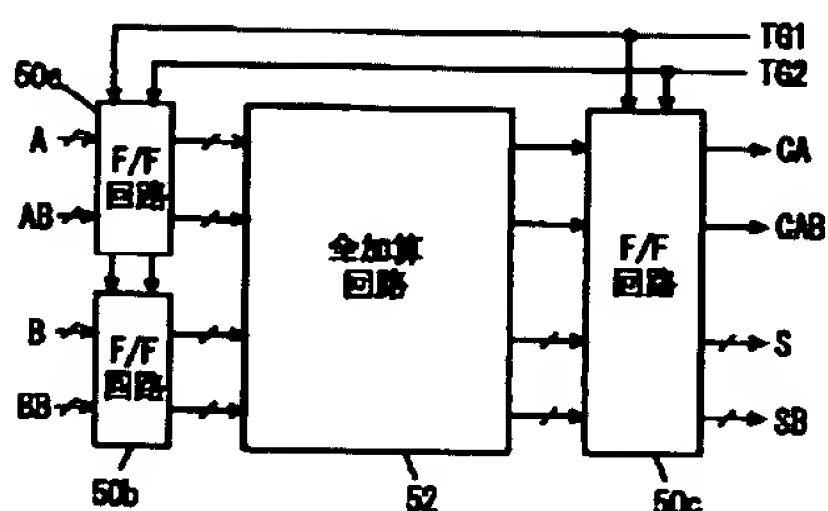
【図6】



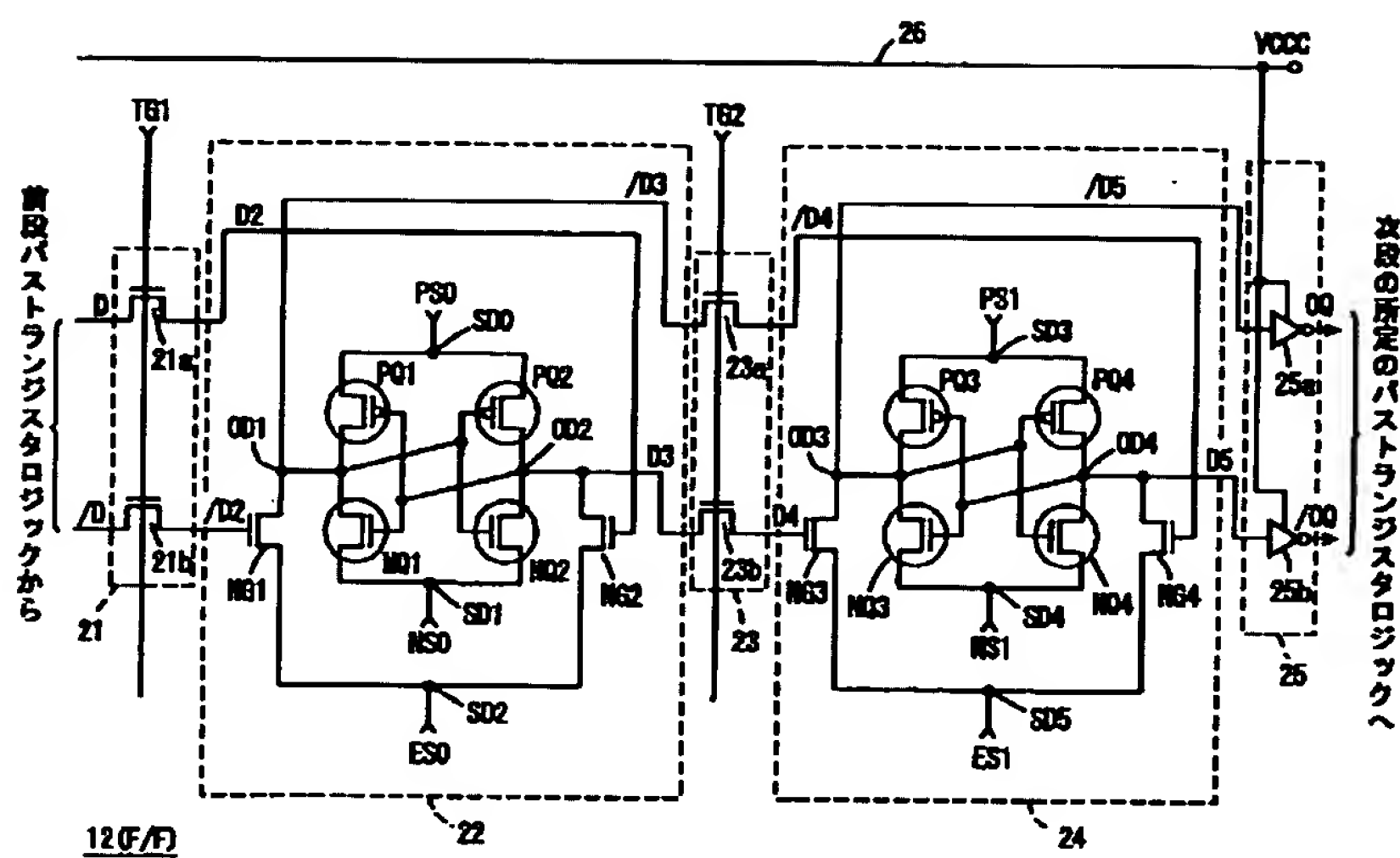
【図7】



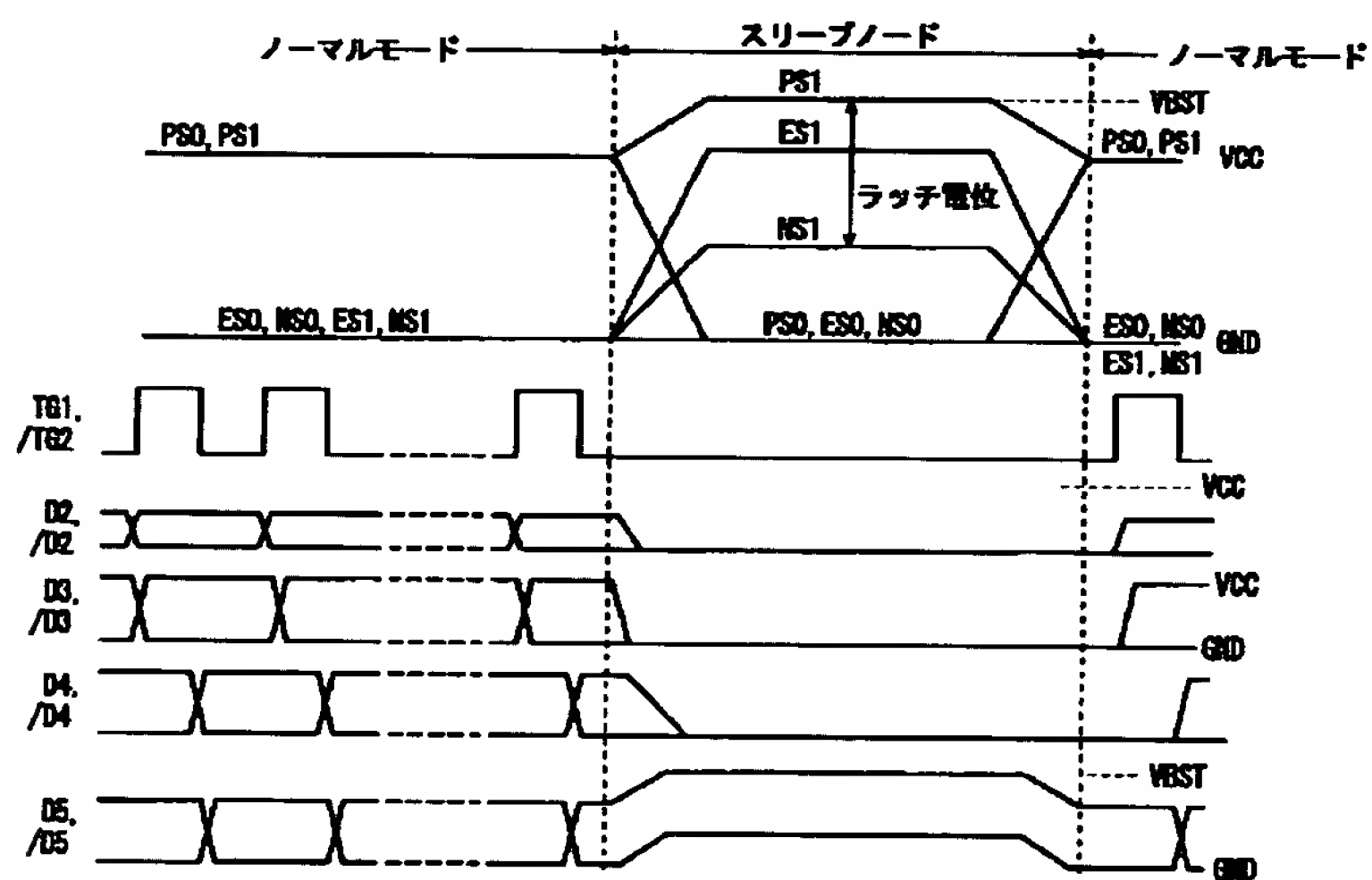
【図21】



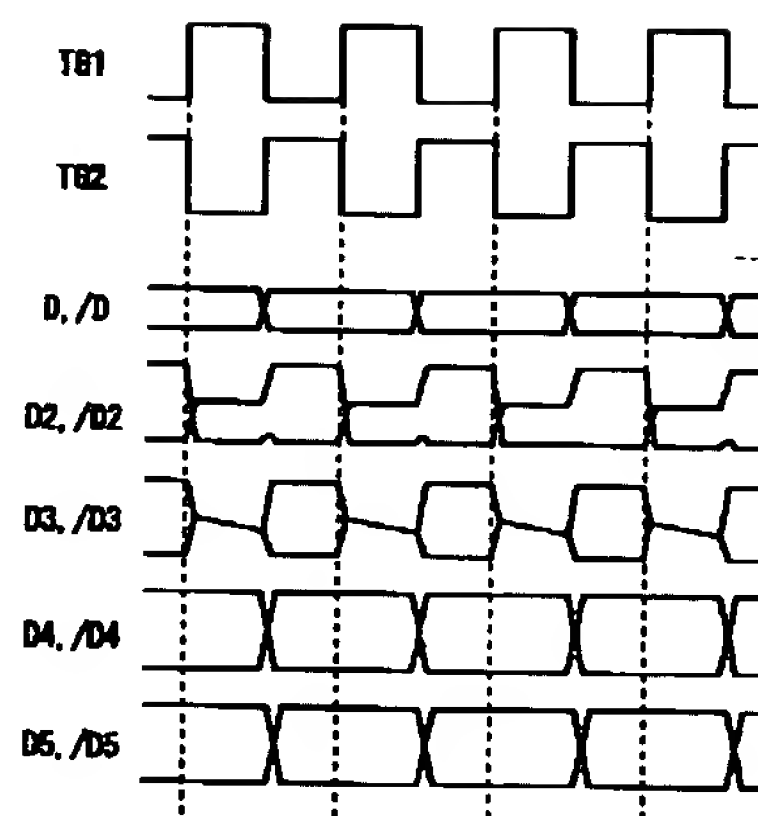
【図4】



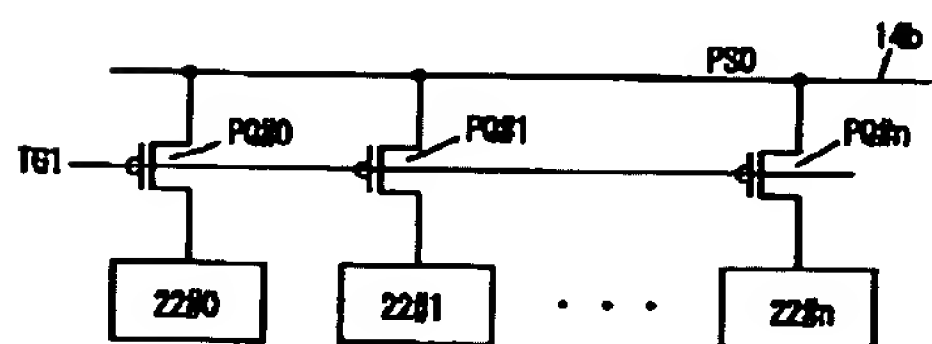
【図5】



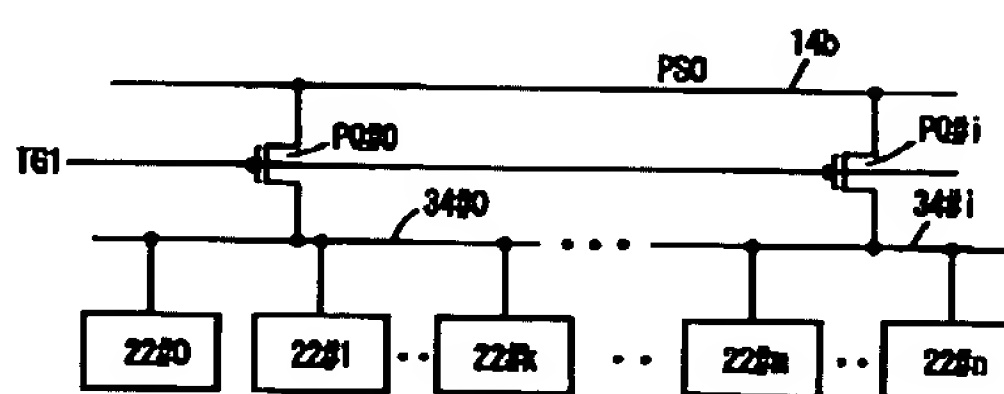
【図15】



【図19】

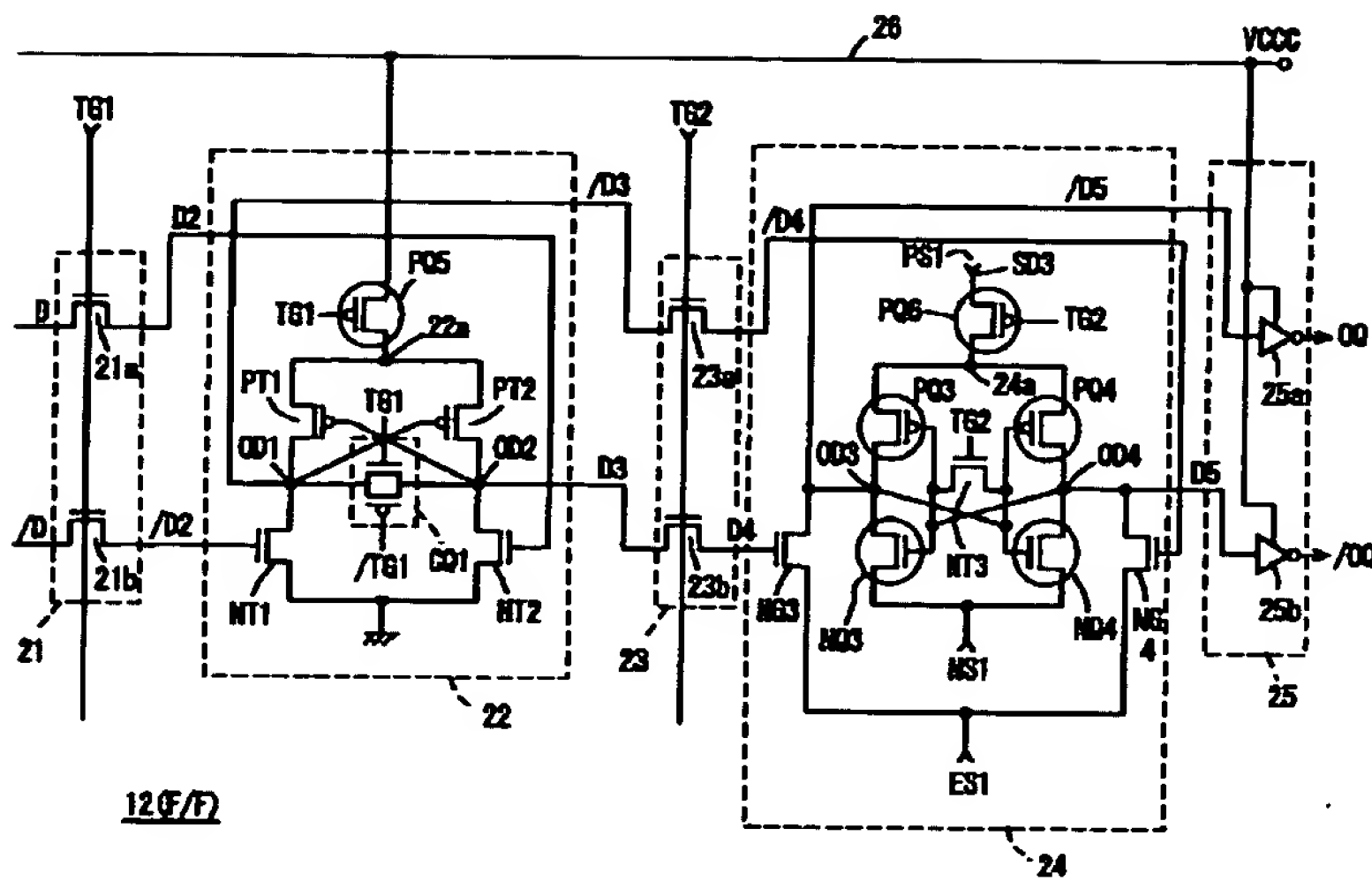


【図20】

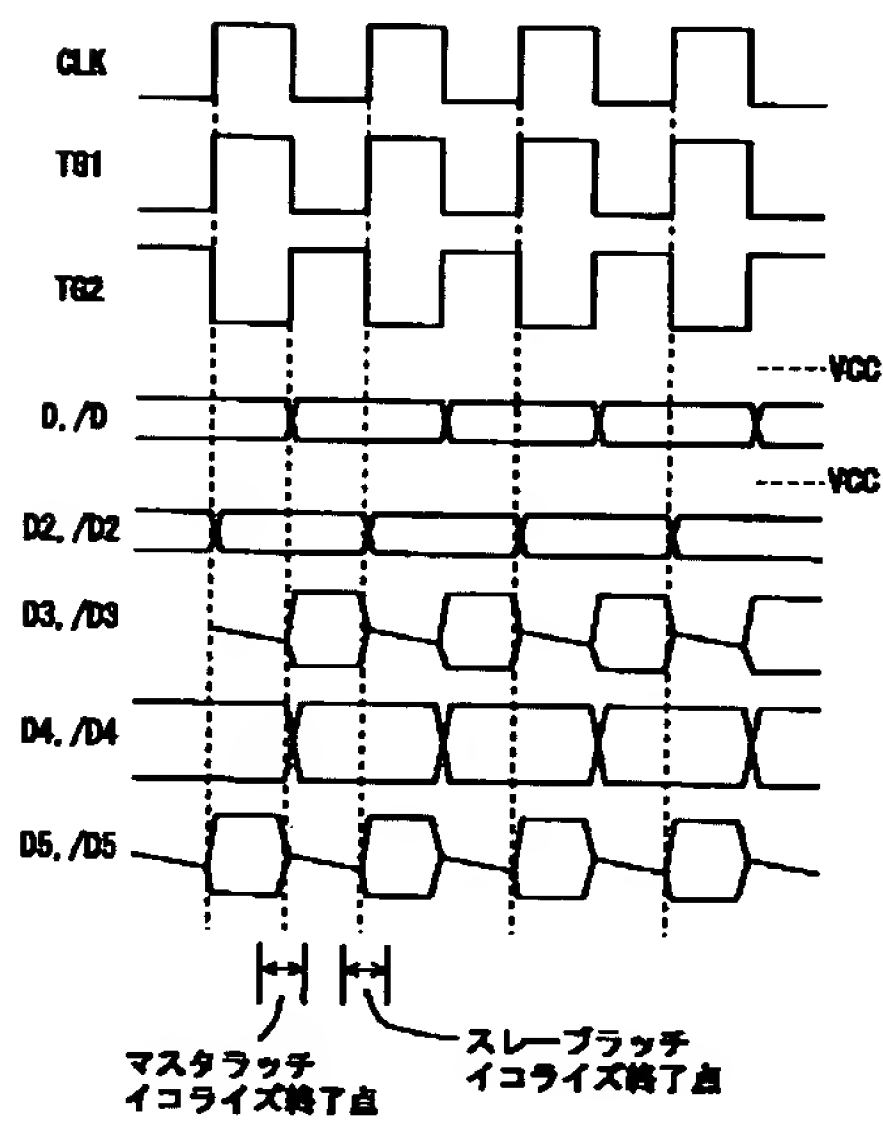




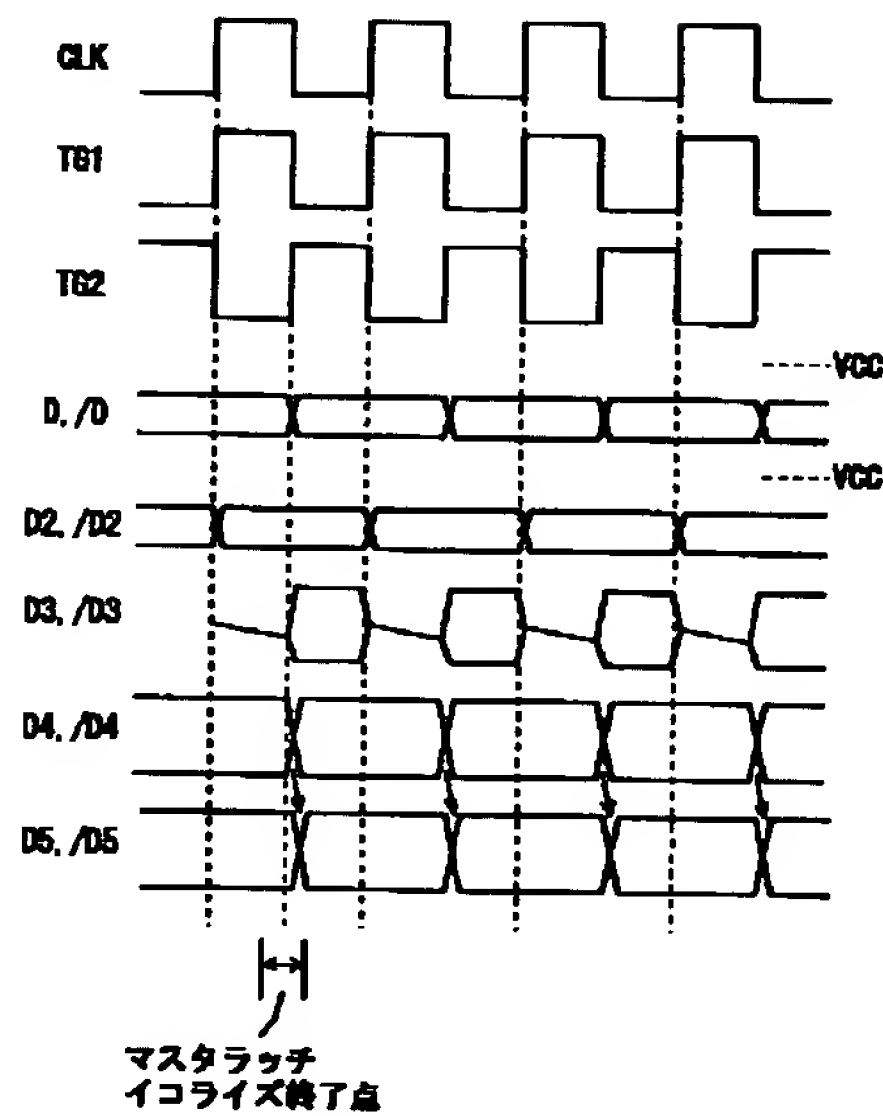
【図9】



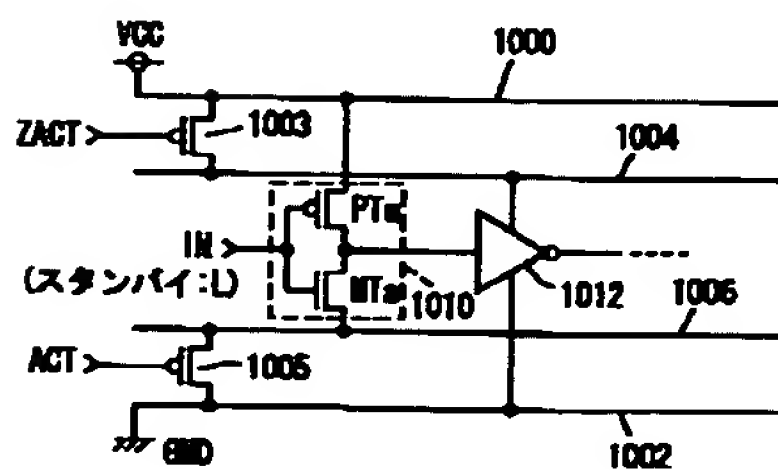
【図10】



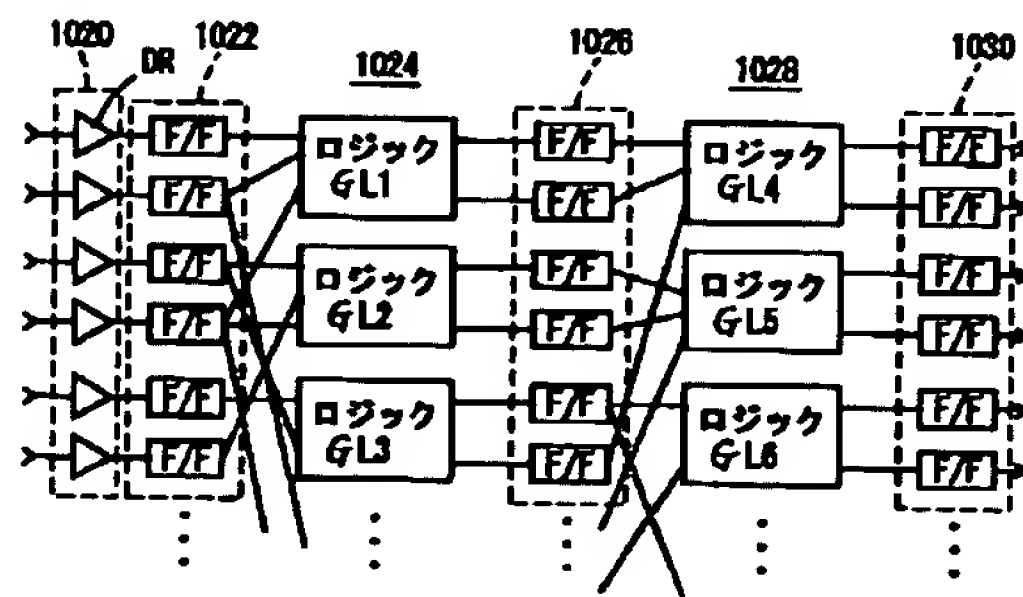
【図13】



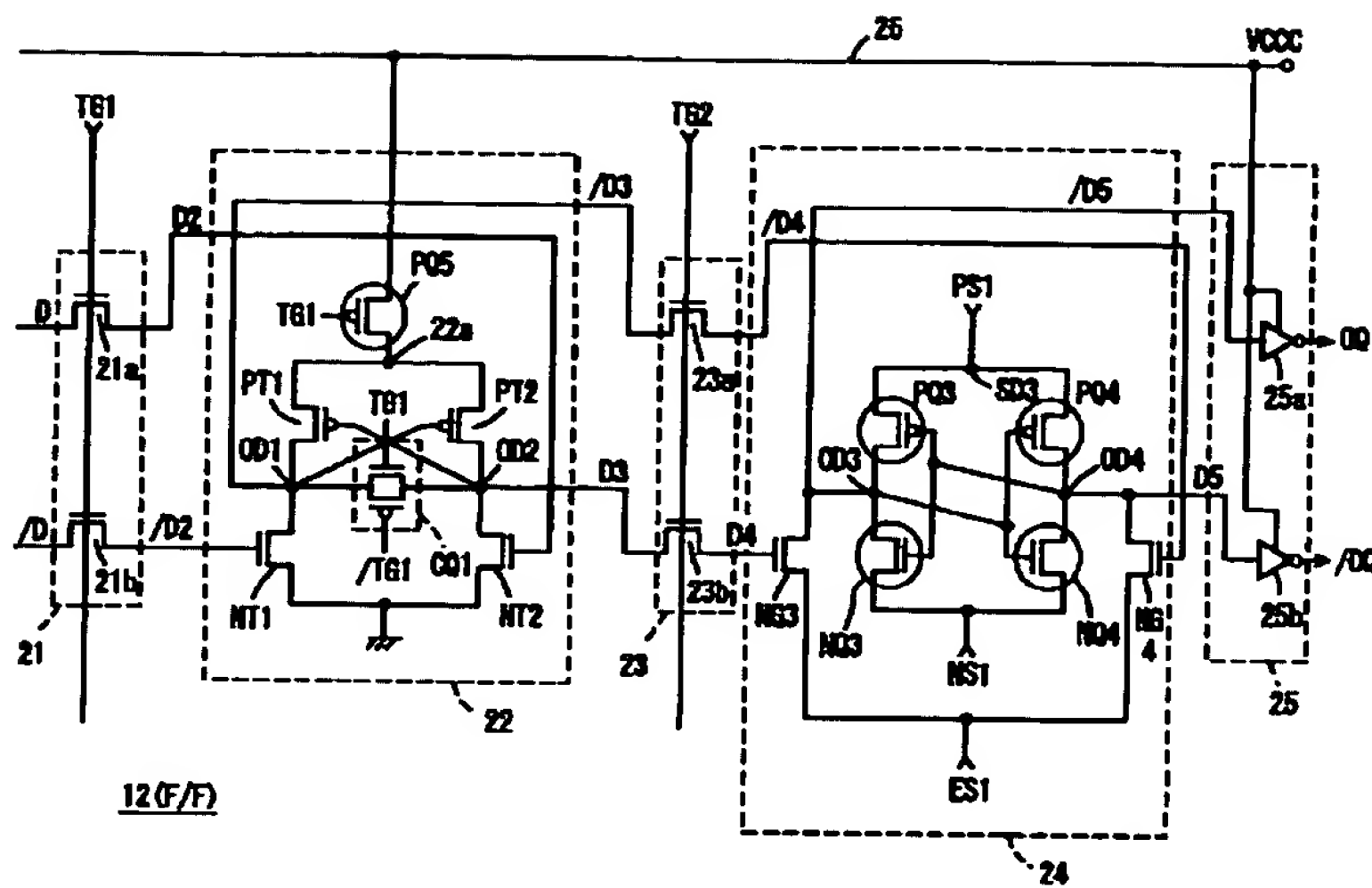
【図26】



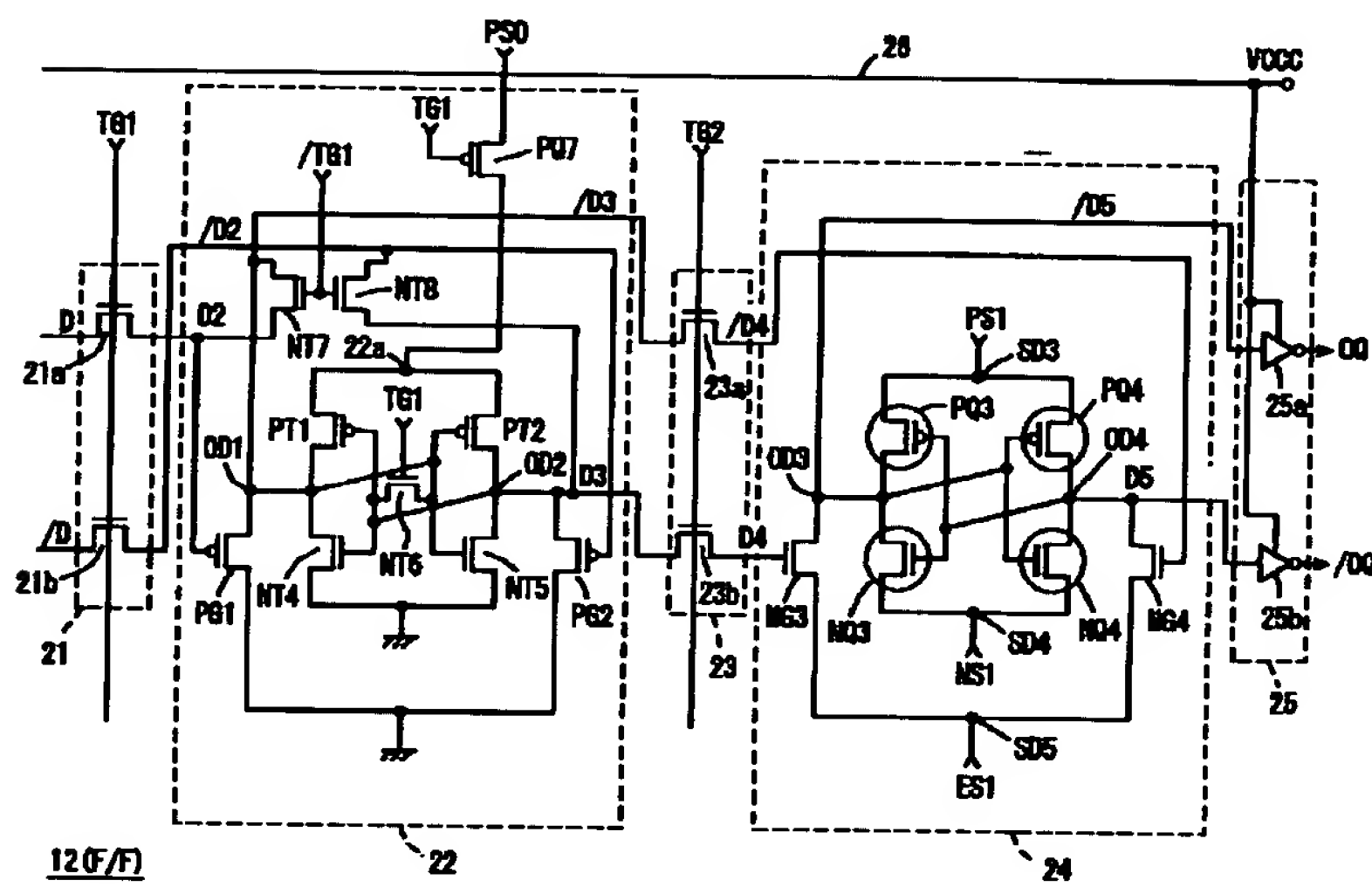
【図27】



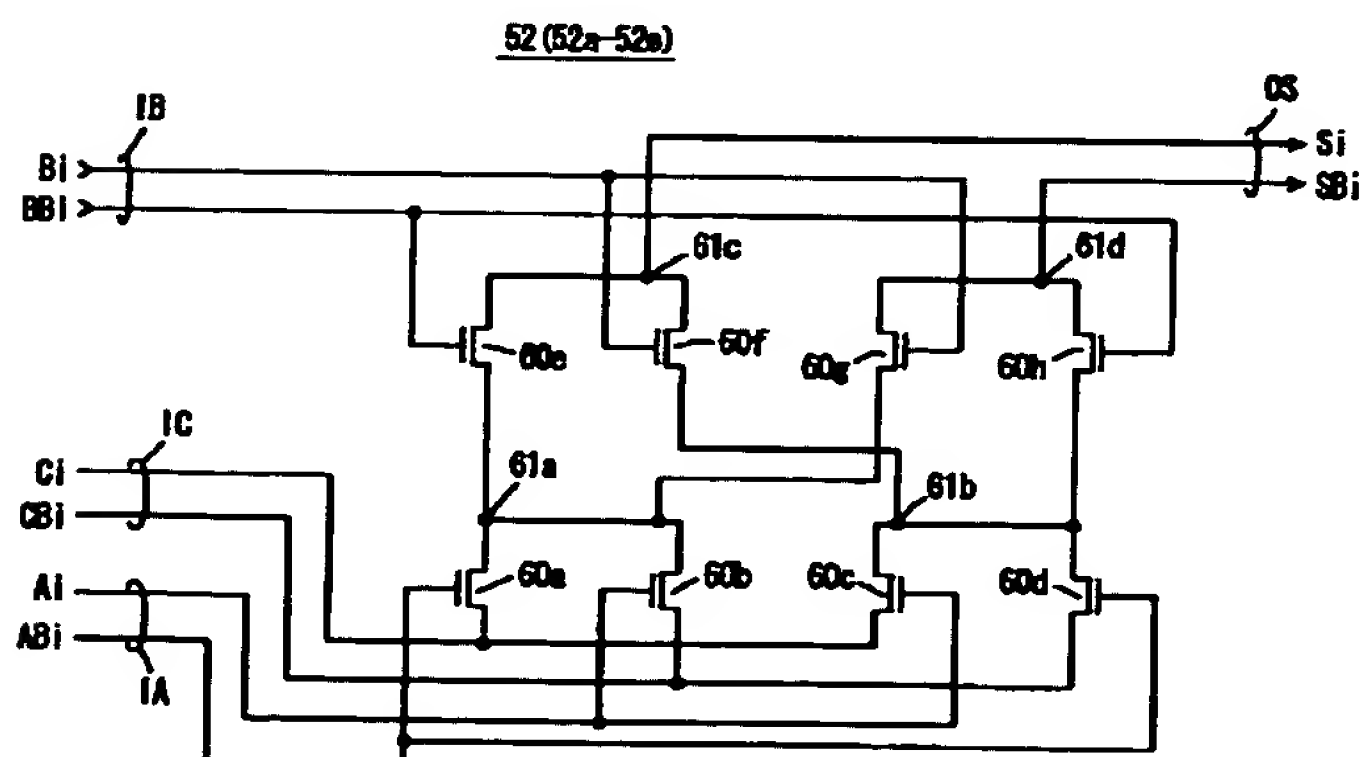
【図12】



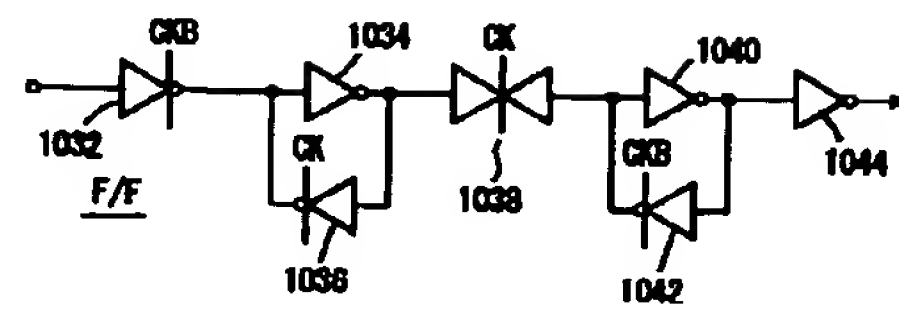
【図14】



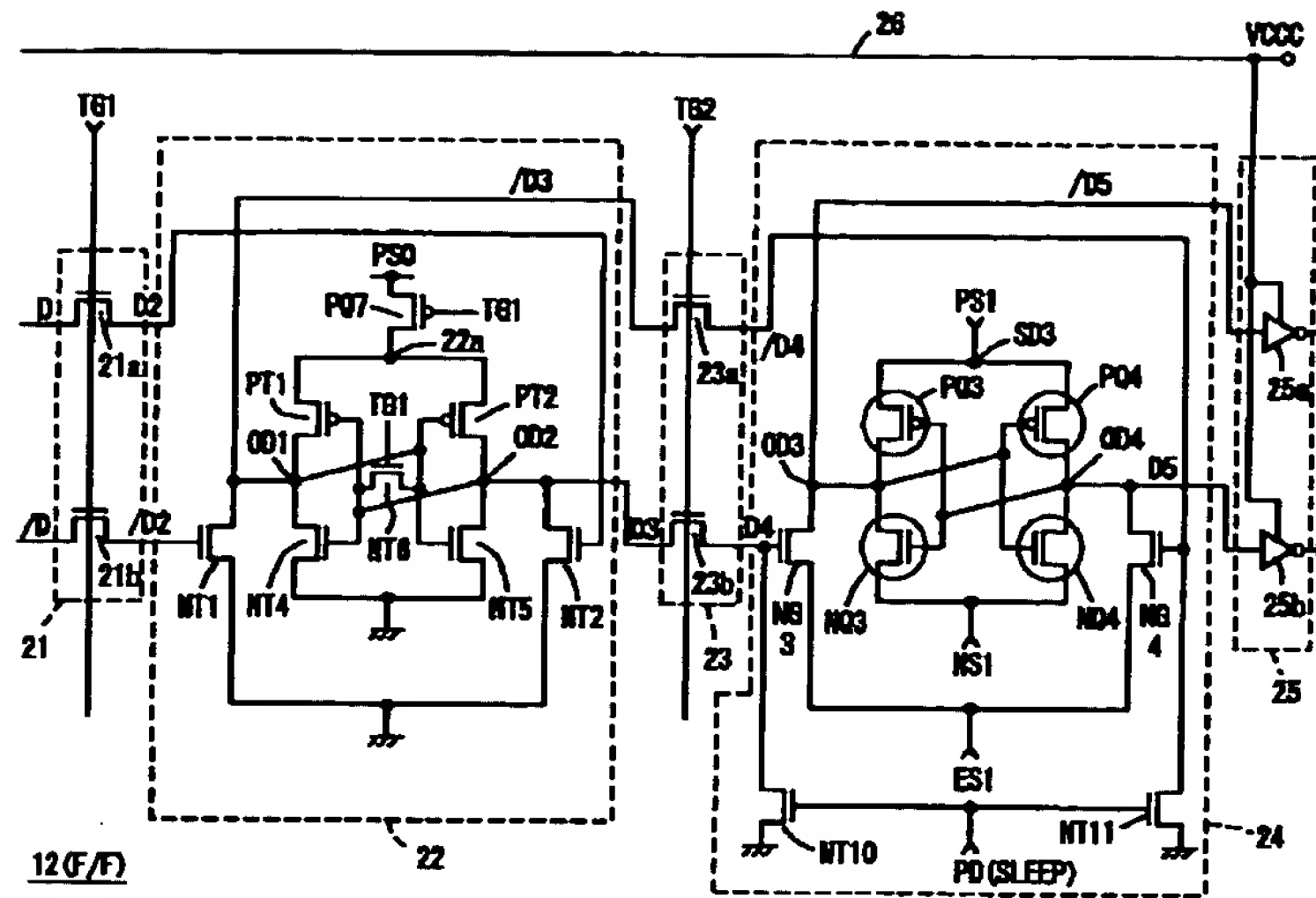
【図23】



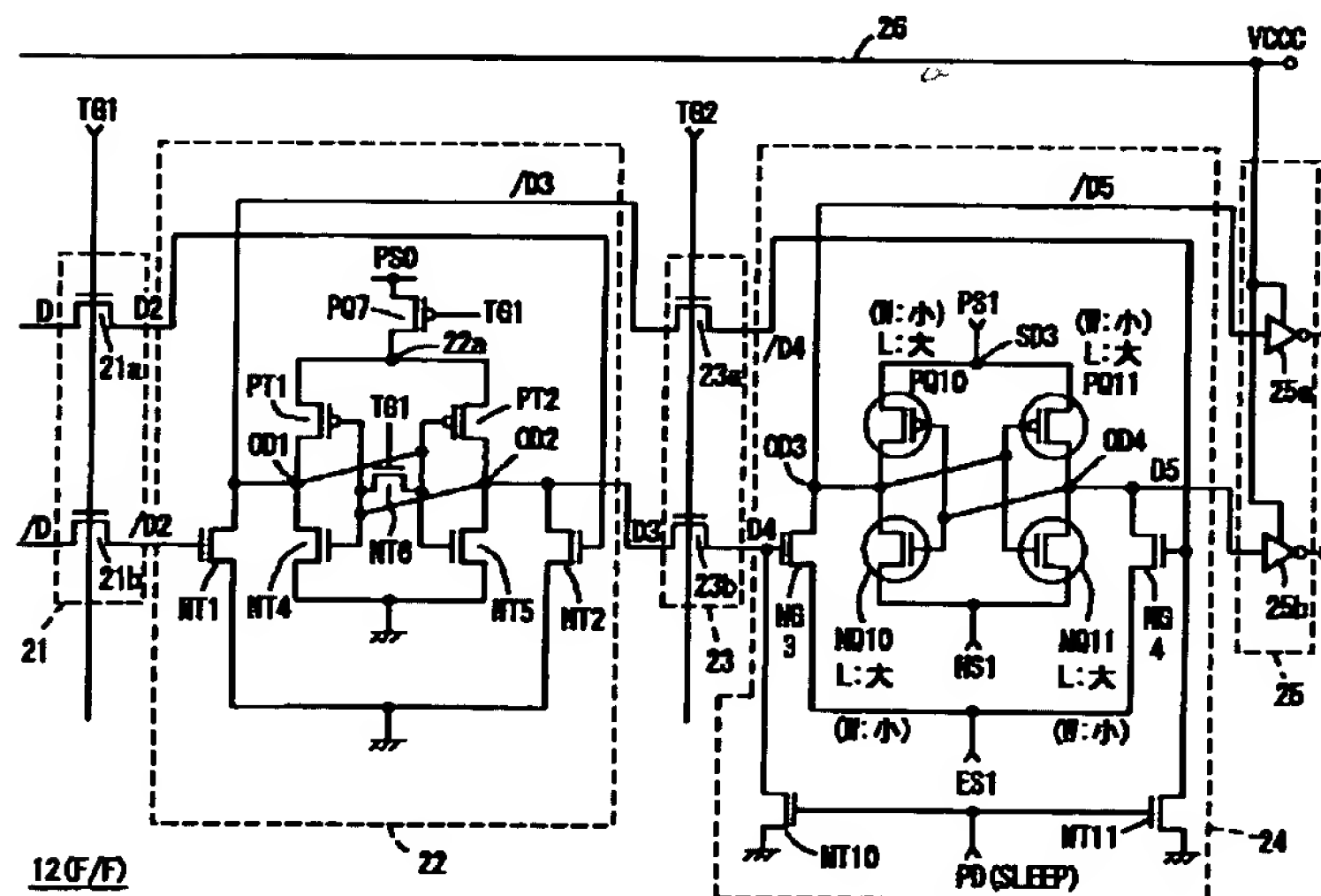
【図28】



【図16】

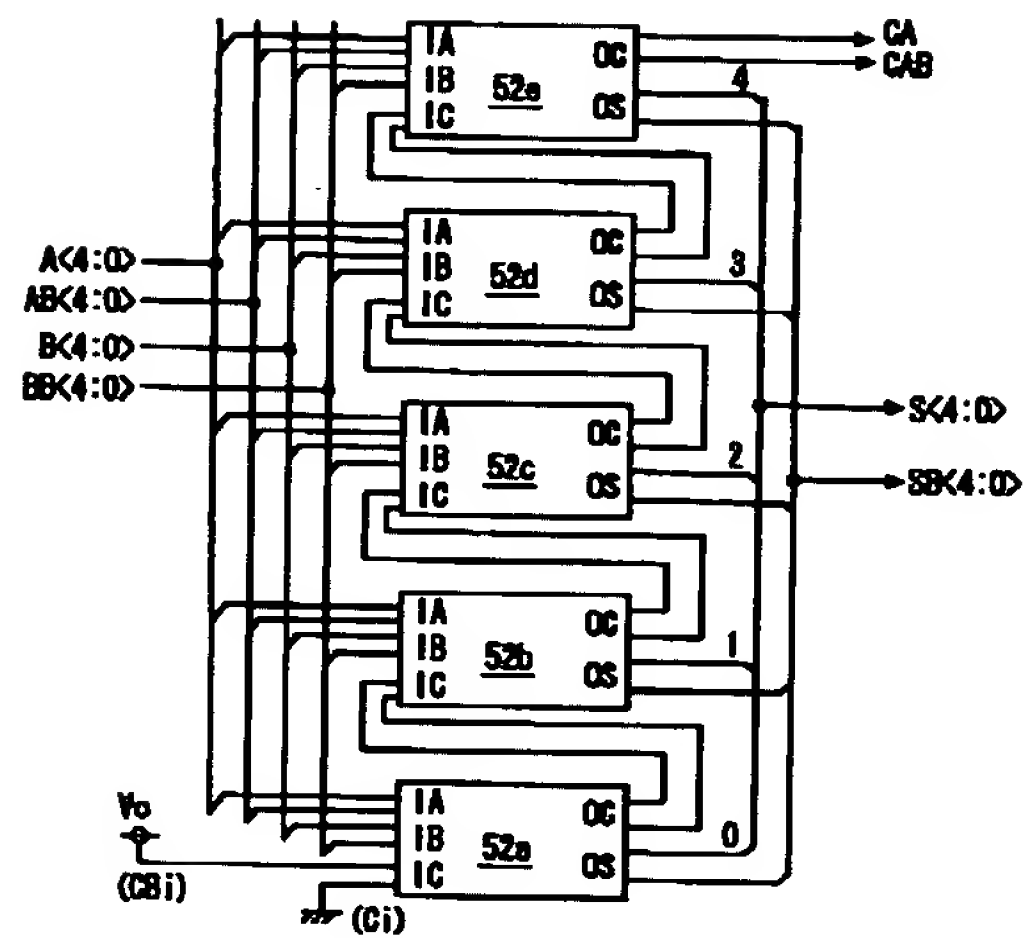


【図17】

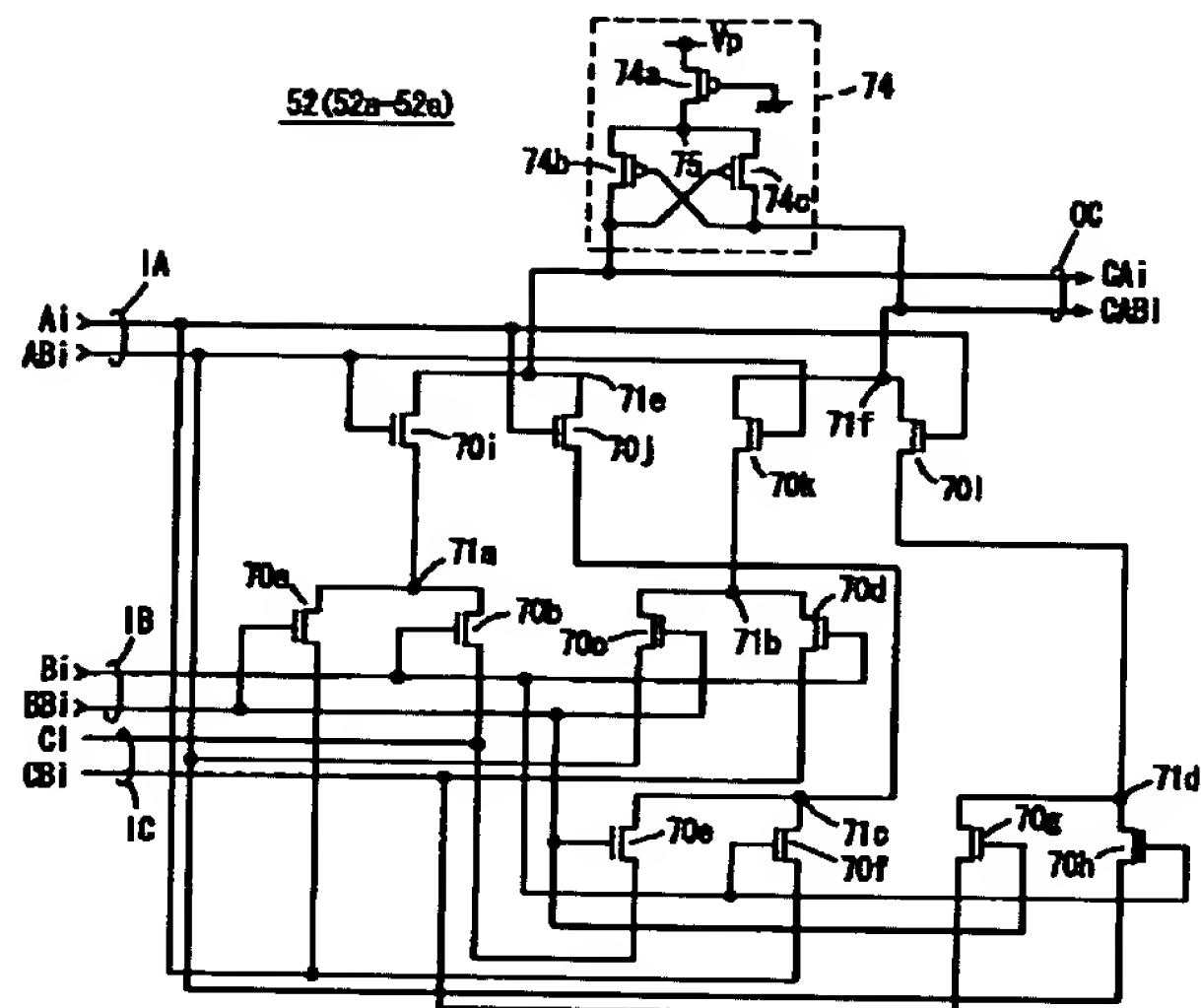




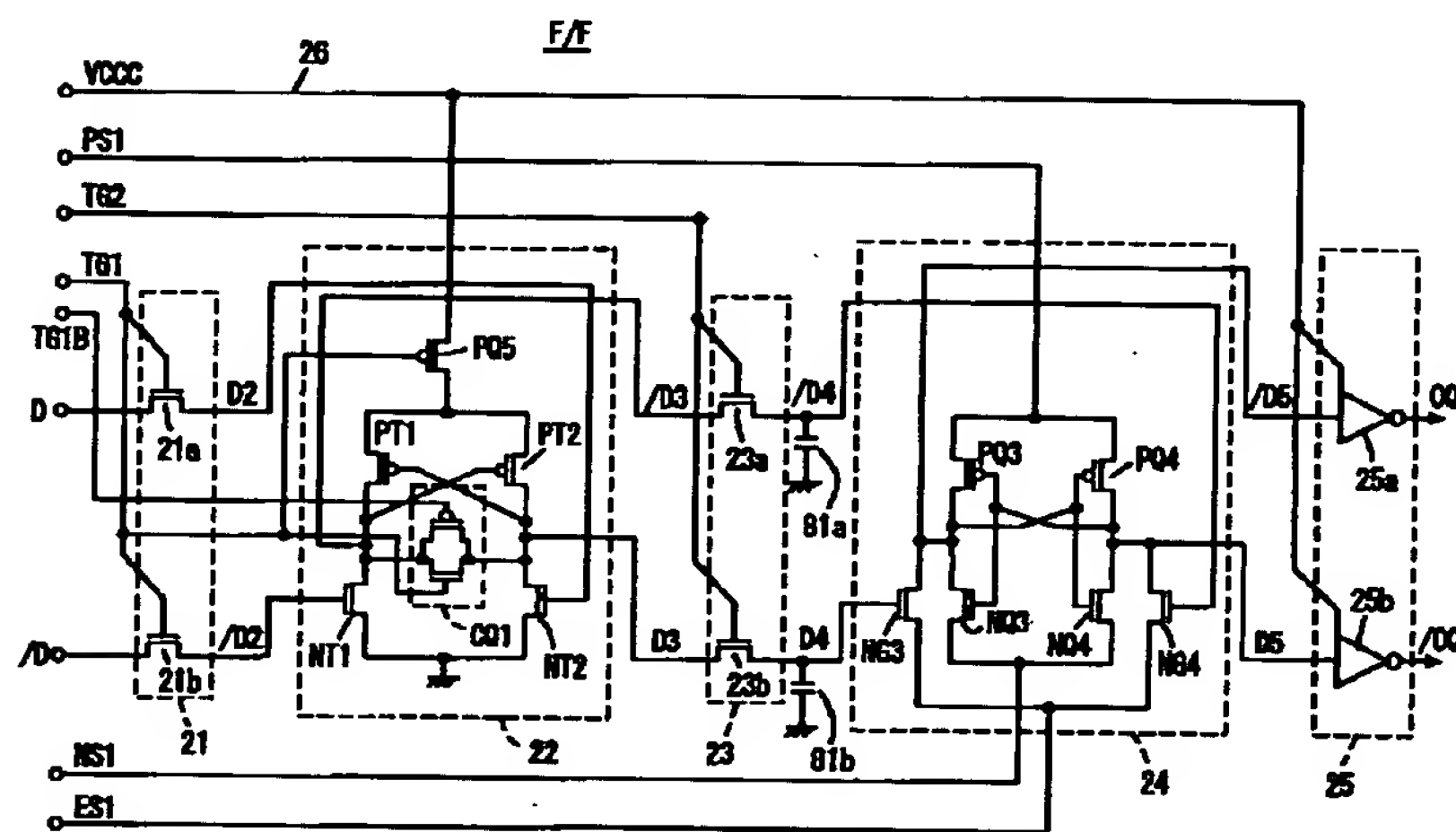
【図22】



【図24】



【例25】



CLIPPEDIMAGE= JP02000244287A

PAT-NO: JP02000244287A

DOCUMENT-IDENTIFIER: JP 2000244287 A

TITLE: SEMICONDUCTOR CIRCUIT DEVICE

PUBN-DATE: September 8, 2000

INVENTOR-INFORMATION:

NAME

OISHI, TSUKASA

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP11043093

APPL-DATE: February 22, 1999

INT-CL (IPC): H03K003/356

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor circuit device which can reduce its power consumption without degrading its fast working performance even at a low power voltage level by receiving the output signals of a path transistor logic's at a high input impedance and then amplifying and latching the received output signals.

SOLUTION: Each of path transistor logic's 10a-10c outputs a complementary signal and has a flip-flop at its output part. The output signals (complementary signals) of the logics 10a-10c are applied to the corresponding flip-flops 12a and 12b. These flip-flops have high impedances, receive no currents from the logics 10a-10c and operate with small current consumption. Furthermore, a current path set between a power node and a ground node is not present on the logics 10a-10c and accordingly no problem of a sub-threshold current is caused. Thus, it's possible to obtain a logic circuit that has a fast operating speed.

COPYRIGHT: (C)2000,JPO